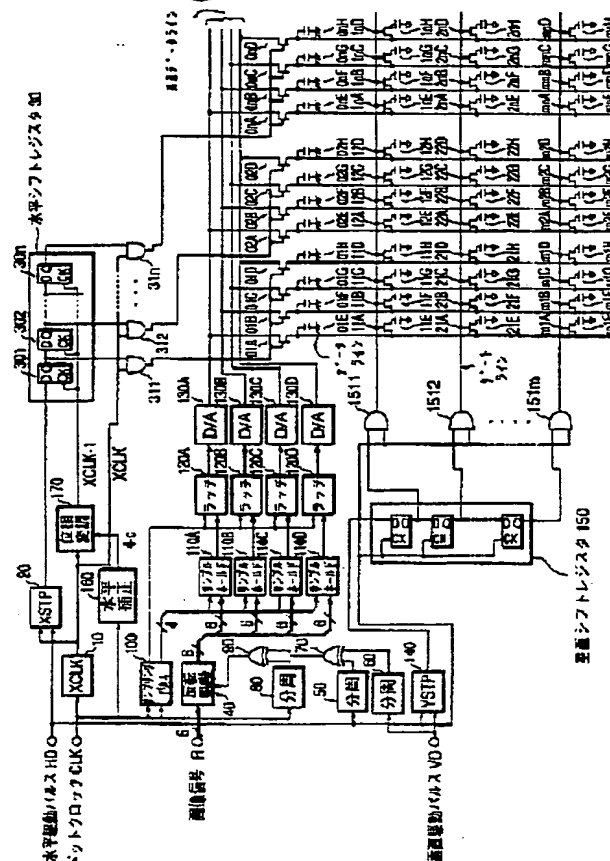


## Patent Abstracts of Japan

PUBLICATION NUMBER : 10268842  
 PUBLICATION DATE : 09-10-98  
 APPLICATION DATE : 26-03-97  
 APPLICATION NUMBER : 09074161  
 APPLICANT : MITSUBISHI ELECTRIC CORP;  
 INVENTOR : KAMIMURA KAZUHIRO;  
 INT.CL. : G09G 3/36 G02F 1/133  
 TITLE : DRIVING CIRCUIT OF MATRIX TYPE DISPLAY DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To correct the display luminance unevenness in a matrix type display device.

SOLUTION: A horizontal correction signal generating circuit 160 generates a horizontal correction signal, which varies in waveform in one horizontal driving period and an XCLK phase modulating circuit 170 modulates the phase of the transfer clock of a horizontal shift register 30 for selecting pixels TFTs 11A to 11N horizontally in order. Respective stages DFFs 301 to 30N of the horizontal shift register 30 shift and output a horizontal start pulse XSTP indicating the start timing of sequential horizontal driving in order according to the phase-modulated transfer clock XCLK-1 and this is supplied to FET switches 01A to 01N through AND circuits 311 to 31N. Therefore, the voltage level of display image data supplied from capacitors 01E to 01N for sampling to the pixel TFTs 1A-1N is controlled finally according to the said transfer clock XCLK-1.

COPYRIGHT: (C)1998,JPO

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-268842

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.<sup>6</sup>  
 G 0 9 G 3/36  
 G 0 2 F 1/133  
 識別記号  
 5 5 0

F I  
 G 0 9 G 3/36  
 G 0 2 F 1/133 5 5 0

審査請求 未請求 請求項の数13 O L (全 30 頁)

(21) 出願番号 特願平9-74161

(22) 出願日 平成9年(1997)3月26日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 西野 功

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 上村 和広

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

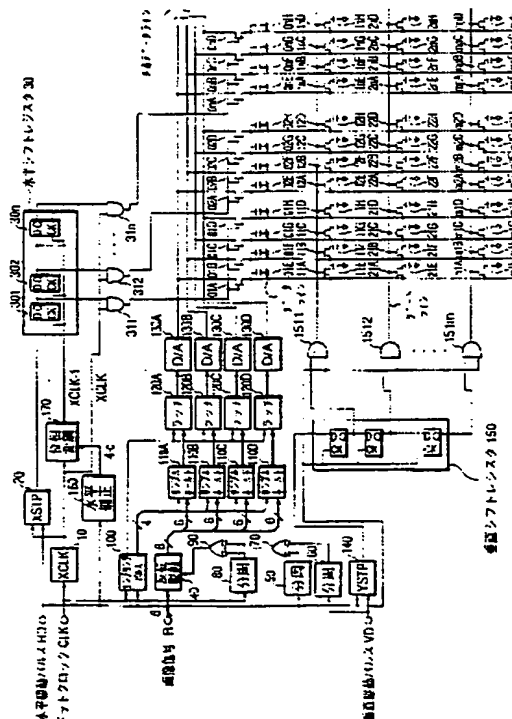
(74) 代理人 弁理士 吉田 研二 (外2名)

(54) 【発明の名称】 マトリクス型表示装置の駆動回路

(57) 【要約】

【課題】 マトリクス型表示装置における表示輝度ムラを補正する

【解決手段】 水平補正信号発生回路160が一水平駆動期間内で波形の変化する水平補正信号を発生し、XCLK位相変調回路170が水平補正信号に基づき、水平方向に画素TFT11A~mnDを順次選択するための水平シフトレジスタ30の転送クロックの位相を変調する。水平シフトレジスタ30の各段DFF301~30nは、位相変調転送クロックXCLK1に基づいて順次水平駆動の開始タイミングを示す水平スタートパルスXSTPをシフトして順次出力し、これがアンド回路311~31nを介してFETスイッチ01A~0nDに供給される。よって、最終的には画素TFT11A~mnDにサンプル用コンデンサ01E~0nhから供給される表示画像データの電圧レベルが上記転送クロックXCLK1に応じて制御される。



実施の形態 1

## 【特許請求の範囲】

【請求項1】 複数の画素がマトリクス状に配置された表示装置の駆動回路であって、

転送クロックに応じて水平方向又は垂直方向に並ぶ前記各画素を選択するためのシフトレジスタと、

一画面の一水平駆動期間又は一垂直駆動期間中で波形の変化する補正信号を発生する補正信号作成手段と、

前記補正信号に基づいて、前記シフトレジスタの前記転送クロックの位相を変調するクロック位相変調手段と、  
を備えることを特徴とするマトリクス型表示装置の駆動回路。

【請求項2】 複数の画素がマトリクス状に配置された表示装置の駆動回路であって、

転送クロックに応じて水平方向に並ぶ前記各画素を順次選択するためのシフトレジスタと、

前記一水平駆動期間内で電圧レベルの変化する水平補正信号を発生する補正信号作成手段と前記水平補正信号に基づいて、前記シフトレジスタの前記転送クロックの位相を変調させるクロック位相変調手段と、

を備えることを特徴とするマトリクス型表示装置の駆動回路。

【請求項3】 複数の画素がマトリクス状に配置された表示装置の駆動回路であって、

転送クロックに応じて垂直方向に並ぶ前記各画素を順次選択するためのシフトレジスタと、

前記一垂直駆動期間内で電圧レベルの変化する垂直補正信号を発生する補正信号作成手段と前記垂直水平補正信号に基づいて、前記シフトレジスタの転送クロックの位相を変調するクロック位相変調手段と、

を備えることを特徴とするマトリクス型表示装置の駆動回路。

【請求項4】 前記補正信号作成手段は、水平駆動信号又は垂直駆動信号に応じて電圧レベルの変化するノコギリ波を作成して、これを前記水平又は垂直補正信号として前記クロック位相変調手段に供給し、

前記クロック位相変調手段は、前記水平又は垂直補正信号の電圧レベルに応じて前記転送クロックを位相変調し、前記シフトレジスタに供給することを特徴とする請求項1～3のいずれか一つに記載のマトリクス型表示装置の駆動回路。

【請求項5】 前記シフトレジスタは、転送クロックとして複数相のクロックを用い、

前記複数相のクロックのいずれかを前記クロック位相変調手段から出力される位相変調転送クロックとすることを特徴とする請求項1～4のいずれか一つに記載のマトリクス型表示装置の駆動回路。

【請求項6】 前記シフトレジスタは、転送クロックとして2相の転送クロックを用い、前記2相の転送クロックの一方を前記クロック位相変調手段からの非反転位相変調転送クロックとし、

前記2相のクロックの他方を前記クロック位相変調手段からの反転位相変調転送クロックとすることを特徴とする請求項1～5のいずれか一つに記載のマトリクス型表示装置の駆動回路。

【請求項7】 更に、前記クロック位相変調手段に、前記水平又は垂直駆動期間中に電圧レベルの変化する前記補正信号又は一定電圧のいずれを供給するかを切り替える切り替え手段を備えることを特徴とする請求項1～6のいずれか一つに記載のマトリクス型表示装置の駆動回路。

【請求項8】 更に、前記補正信号作成手段が作成する前記補正信号の振幅を切り替える切り替え手段を備えることを特徴とする請求項1～6のいずれか一つに記載のマトリクス型表示装置の駆動回路。

【請求項9】 更に、表示画像のドットクロックの周波数の高低を判別する周波数判別手段を備え、

前記切り替え手段は、前記周波数判別手段からの判別出力に基づき、前記クロック位相変調手段に前記補正信号又は一定電圧のいずれを供給するかを切り替えることを特徴とする請求項8に記載のマトリクス型表示装置の駆動回路。

【請求項10】 更に、表示画像のドットクロックの周波数の高低を判別する周波数判別手段を備え、

前記切り替え手段は、前記周波数判別手段からの判別出力に基づいて前記補正信号の振幅を切り替えることを特徴とする請求項9に記載のマトリクス型表示装置の駆動回路。

【請求項11】 前記切り替え手段は、表示画像の水平同期信号の周波数が高い場合に、前記クロック位相変調手段に前記補正信号を供給するか又は前記補正信号の振幅が大きくなるように切り替え動作し、

前記水平同期信号の周波数が低い場合には、前記クロック位相変調手段に前記一定電圧を供給するか又は前記補正信号の振幅が小さくなるように切り替え動作することを特徴とする請求項7～10のいずれか一つに記載のマトリクス型表示装置の駆動回路。

【請求項12】 前記マトリクス型表示装置は、前記マトリクス状に配置された前記画素の各列間に配置され、列方向に並ぶ各画素に対して表示画像信号を供給するための複数のデータラインを有し、

前記データラインに対して、所定の表示画像信号供給部から出力される前記表示画像信号を選択的に供給するための複数のスイッチ手段を備え、

前記転送クロックに従って前記シフトレジスタから出力される信号に応じて前記スイッチ手段を順次動作させることにより、前記各データラインに供給される表示画像信号の電圧レベルを制御することを特徴とする請求項1又は請求項2に記載のマトリクス型表示装置の駆動回路。

【請求項13】 前記マトリクス型表示装置は、前記マ

トリクス状に配置された前記画素の各行間に配置され、行方向に並ぶ各画素を選択して表示画像信号を書き込むための走査信号がそれぞれ印加される複数の走査ラインを有し、

前記転送クロックに従って前記シフトレジスタから出力される信号に応じた信号を、前記走査信号として前記各走査ラインに順次印加することにより、各走査ラインに接続された各画素への表示画像信号の書き込み期間を制御することを特徴とする請求項1又は請求項3に記載のマトリクス型表示装置の駆動回路。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】この発明は、液晶表示装置やその他、マトリクス状に配置された画素を選択して表示を行う表示装置、いわゆるマトリクス型表示装置に利用される駆動回路に関するものである。

##### 【0002】

【従来の技術】図18は、従来のマトリクス表示装置として液晶表示装置の駆動回路の構成について以下に説明する。

【0003】図示する液晶表示装置は、一方の基板上にマトリクス状に配置された各液晶表示画素に対応して、それぞれ画素スイッチ素子 $11A \sim mnD$ が形成されたいわゆるアクティブマトリクス型の液晶表示装置である。図18に示す例では、画素スイッチ素子として画素TFT（薄膜トランジスタ）が用いられている。各画素TFT $11A \sim mnD$ のゲートは、行方向（水平駆動方向）に設けられたゲートラインに接続されている。各画素TFTのソース（又はドレイン）は、それぞれ列方向（垂直駆動方向）に設けられたデータラインに接続され、更に画素TFTのドレイン（又はソース）には液晶を駆動するための画素電極がそれぞれ接続されている。そして、液晶表示装置では、各画素TFTを順次オンさせ、データラインを介して画素電極に表示画像信号に応じた電圧を印加することにより、この画素電極と液晶層を挟んで対向配置される基板との共通電極（図示しない）との間に表示画像に応じた電位差を与え、画素部の液晶を駆動して所望の表示を行っている。

【0004】このようなアクティブマトリクス型の液晶表示装置を駆動する駆動回路は、概略すると、各画素TFTを垂直方向に選択していく回路と、これと合わせて水平方向に選択していくための回路（ここでは、表示画像信号を供給するための回路）とを備える。

【0005】以下、表示装置の駆動回路の具体的な構成について説明する。

【0006】各画素TFT $11A$ 、 $11B$ 、 $11C$ 、 $11D$ 、 $1nA \sim 1nD$ 、 $\dots$ 、 $mnA \sim mnD$ には、各画素毎の液晶等価容量 $11E$ 、 $11F$ 、 $11G$ 、 $11H$ 、 $1nE \sim 1nH$ 、 $\dots$ 、 $mnE \sim mnH$ が接続されている。上記画素TFTを水平方向に選択して表示画像デー

タを供給するための回路構成は次の通りである。まず、図18において、XCLK発生回路10には、表示画像の1画素の周期のドットクロックCLKが入力されており、その1/4の周波数のクロックXCLKを発生する。

【0007】XSTP発生回路20は、水平駆動の開始タイミングを示す水平スタートパルスXSTPを発生する回路であり、図19に示すようにDフリップフロップ20A、20B、アンド回路20Cによって構成されている。また、このXSTP発生回路20には、表示画像の1水平駆動周期の水平駆動パルスHDが入力されている。

【0008】水平シフトレジスタ30は、 $n$ 個のDフリップフロップ（以下、DFF）301 $\sim$ 30 $n$ （ $n$ は整数）で構成され、クロックXCLKを転送クロックとして、上記水平スタートパルスXSTPを順次シフトし、これを各DFF301 $\sim$ 30 $n$ のQ出力端子から出力する。また、出力側にはアンド回路311、312、 $\dots$ 、31 $n$ が設けられ、それぞれ対応するDFF301 $\sim$ 30 $n$ の出力と、クロックXCLKとの論理積をとって出力する。

【0009】各データラインに表示画像信号を供給する共通データライン（図では1本）と、垂直方向に並ぶ画素TFTが接続されているデータラインとの間にはFETスイッチ01A $\sim$ 0 $nA$ 、01B $\sim$ 0 $nB$ 、01C $\sim$ 0 $nC$ 、01D $\sim$ 0 $nD$ が設けられている。複数の（図では4個）毎にFETスイッチ01A $\sim$ 01D、02A $\sim$ 02D、 $\dots$ 、0 $nA \sim 0nD$ はまとめられ、そのゲートがそれぞれ対応する一つのアンド回路311、312 $\sim$ 31 $n$ に接続されている。また、各FETスイッチ01A $\sim$ 0 $nA$ 、01B $\sim$ 0 $nB$ 、01C $\sim$ 0 $nC$ 、01D $\sim$ 0 $nD$ のソース（又はドレイン）には、それぞれ対応してサンプル用コンデンサ01E $\sim$ 01H、 $\dots$ 、0 $nE \sim 0nH$ が接続されている。このため、アンド回路311 $\sim$ 31 $n$ の出力により、複数のFETスイッチが同時に選択され、選択されたFETスイッチに接続された上記サンプル用コンデンサは、FETスイッチを介してD/Aコンバータ110A $\sim$ 110Dの出力を取り込んでこれを1水平駆動期間サンプルホールドする。

【0010】反転駆動回路40は、図20に示すように、反転回路40A、レベルシフト回路40B及び40C、スイッチ10Dを備え、入力される6ビットのデジタル画像信号Rに基づいて、出力が、液晶に応じたレベルで1水平駆動及び1垂直駆動ごとに、上下（又は正負）に反転する信号を作成して、これを表示画像信号として出力する。また、2分周回路50は水平駆動パルスHDを2分周し、2分周回路60は垂直駆動パルス（以下、VD）を2分周し、更に2分周回路80は、ドットクロックCLKを2分周する。エクスクループOR70には、2分周回路50の出力と、2分周回路60の出

力が供給され、排他的論理和をとって出力する。エクスクルーシブOR90は、エクスクルーシブOR70の出力と、2分周回路80の出力との排他的論理和をとり、反転駆動回路40の反転タイミングとなるスイッチ信号SWを発生する。

【0011】サンプリングパルス発生回路100は、図21に示すように、DFF100A及び100B、アンド回路100C、オア回路100D、DFF100E、100F、100G及び100Hを備えている。DFF100A、B、E～HのCK端子にはそれぞれドットクロックCLKが供給され、クリア端子（以下CLR端子）には水平駆動パルスHDが供給されており、DFF100E～100Hの各Q出力端子より、反転駆動回路40から供給される表示画像信号をサンプルホールド回路110A～110DがサンプルホールドするためのサンプリングパルスSPL-1～SPL-4を出力する。

【0012】また、サンプルホールド回路110A、110B、110C、110Dは、それぞれ、図22に示すように6つのDFF1100、1101、1102、1103、1104及び1105を備え、各CK端子に、サンプリングパルスSPL-1～4のいずれかが供給され、D端子に入力される反転駆動回路40からの6ビットデジタル表示画像信号をサンプルホールドして、これを対応するラッチ回路120A～120Dに出力する。

【0013】ラッチ回路120A、120B、120C、120Dは、図23に示すように6つのDFF1200、1201、1202、1203、1204、1205を備え、各CK端子にはサンプリングパルスの1つ（ここでは、SPL-1）が供給されている。サンプルホールド回路110A～110D回路でそれぞれサンプルホールドされた信号をこのサンプリングパルスSPL-1に応じて同一タイミングの信号に揃え、対応するデジタルアナログ（以下D/A）コンバータ130A、130B、130C及び130Dにそれぞれ出力する。

【0014】D/Aコンバータ130A、130B、130C、130Dが、対応するラッチ回路120A、120B、120C、120Dから供給されるデジタルのラッチデータをアナログ信号に変換してこれを対応する4本の共通データラインにそれぞれ出力する。各共通データラインには、上述のFETスイッチ01A～0nA、01B～0nB、01C～0nC、01D～0nDのソース・ドレインを介してデータラインが接続され、更にこのデータラインには画素TFTのソース（又はドレイン）が接続されている。よって、水平シフトレジスタ30によって選択されたデータラインには、上記D/Aコンバータ130A～130Dからのアナログ表示画像データが供給されることとなる。

【0015】図18において、各画素TFTを垂直方向

に選択するための回路として、YSTP発生回路及び上述の垂直シフトレジスタ150及びアンド回路1511～151mを備えている。YSTP発生回路140は、図24に示すように、DFF140A、140B、アンド回路140Cを備え、表示画像の垂直周期を示す垂直駆動パルスVDがDFF140A及び140BのCLR端子に供給され、水平駆動パルスHDが各CK端子に供給されている。そして、YSTP発生回路140は、これら垂直駆動パルスVD及び水平駆動パルスHDに基づいて、液晶表示パネルの垂直駆動の開始タイミングを示す垂直スタートパルスYSTPを発生する。

【0016】垂直シフトレジスタ150は、m個のDFF1501～150m（mは整数）で構成されており、各DFF1501～150mのCK端子に供給される水平駆動パルスHDに従って上記YSTP発生回路140から出力される垂直スタートパルスYSTPを順次シフトして、各Q出力端子から順次出力する。

【0017】DFF1501～150mの各Q出力端子には、対応するアンド回路1511～151mの一方の入力に供給されており、各アンド回路1511～151mは、垂直シフトレジスタ150からの出力と、他方の入力に供給される水平駆動パルスHDとの論理積をとり、これを走査信号として各ゲートラインに出力する。

【0018】次に動作について説明する。通常の場合、液晶の駆動は、液晶の応答がおそいためゲートラインごとに線順次で行われる。このため液晶表示装置の駆動回路は、入力されてくる画像信号Rをサンプルホールドし、最終的に線順次の信号として、各画素にこれを供給する必要がある。図18に示す従来の液晶表示装置の駆動回路は、水平画素数4×n個、垂直画素数m個の画素数を備える液晶パネルを対象としており、まず、第1段階にて、入力画像信号Rをn個（相）のデータとしてサンプルホールドし、そのうち、第2段階で1水平駆動期間長のデータにサンプルホールドしている。

【0019】以下、図25及び図26に示すタイミングチャートに従って具体的に説明する。なお、駆動回路に供給されるデジタルの入力表示画像信号のビット数は、ここでは6ビットである。

【0020】まず、4分周器であるXCCLK発生回路10は、水平駆動パルスHD（25・b）をリセット信号とし、ドットクロックCLK（25・a）を4分周して、1/4の周波数のクロックXCCLK（25・c）を発生する。

【0021】得られたクロックXCCLKは、水平シフトレジスタ30に転送クロックとして供給される。なお、水平シフトレジスタ30の段数は、図18の場合、水平画素数が4×nなのでn段のDFF301～30nによって構成されている。

【0022】また、上記XCCLKは、図19のNSTP発生回路20のCK端子にも供給され、NSTP発生回

路20は、これに基づいて水平駆動のスタートタイミングを示す水平スタートパルスXSTPを発生する。XSTP発生回路20では、図19に示されるように、DFF20AのD端子が「H」になっている。そこで、アンド回路20Cが、上記DFF20Aの出力と、次段DFF20Bの反転出力端子とのANDをとることにより、DFF20AのCLR端子へ入力される水平駆動パルスHDが「H」となった次のクロック、即ち、XCLKの先の立ち上がりから次の立ち上がりまでのXCLKの1周期分の長さの期間「H」となる水平スタートパルスXSTP(25-a)を発生する。従って、水平スタートパルスXSTPの1周期の長さは、CLKの4周期分すなわち4画素分の長さとなる。

【0023】XSTP発生回路20からの水平スタートパルスXSTPは、水平シフトレジスタ30のDFF301のD端子に供給され、この水平スタートパルスXSTPは、XCLKに応じて順次次段のDFFへとシフトされる。

【0024】図21のサンプリングパルス発生回路100にはドットクロックCLKがクロックとして供給されている。ここで、サンプリングパルス発生回路100のDFF100AのD端子はHに設定されているため、DFF100Aの出力Qは常時「H」である。よって、アンド回路100Cは、このDFF100Aの出力Qと、次段DFF100Bの反転出力とのANDをとる。そして、アンド回路100Cは、DFF100A、100B、100E、100F、100G、100Hのクリア入力CLRである水平駆動パルスHDが「H」となった次のドットクロックCLKの立ち上がりから、各DFFCLKの1周期の長さのパルスであるSPL-0(25-c)を発生する。このパルスSPL-0は、オア回路100Dを通り、DFF100EのD端子に供給される。DFF100E～100Hは、1段のシフトレジスタを形成しており、SPL-0は、クロックCLKにより順々にシフトされ、サンプリングパルスSPL-1、SPL-2、SPL-3、SPL-4が、各DFF100E～100HのQ出力端子から順次出力される(25-d)～(25-g)。

【0025】反転駆動回路40は、6ビットのデジタル画像信号を1水平駆動毎、1垂直駆動毎、そして1画素毎に反転し、液晶に応じた基準レベルで上下に反転する信号を出力する。図20に示す反転回路40Aは、6ビットの入力信号(図26ではアナログ信号波形(a)で表示)を2進数「111111」から減算し、これにより図26(b)に示すように入力信号に対して極性が反転する。反転回路40Aの出力は、レベルシフト回路40Bに供給される。また、レベルシフト回路40Cには、入力画像信号Rが直接供給される。そして、これらのレベルシフト回路40B、40Cは、図26(c)に波形C1、C2として示されるように、入力される信号に

対して固定のDC電位をそれぞれ付加し、スイッチ40Dに出力する。スイッチ40Dは、エクスクルーシブOR回路90からのスイッチ信号SWにより切り換え制御されており、いずれかのレベルシフト回路40B、40Cからの出力が選択的にサンプルホールド回路110A～110Dに供給される。

【0026】また、2分周回路50は、水平駆動パルスHDを2分周し、2分周回路60は垂直駆動信号VDを2分周し、得られた各2分周信号は、それぞれエクスクルーシブOR回路70の入力に供給され、排他的論理和が求められる。更に、エクスクルーシブOR回路90は、2分周回路80からのCLKの2分周信号と、上記エクスクルーシブOR回路70の出力との排他的論理和を求める。そして、このエクスクルーシブOR回路90からの出力がスイッチ信号SW(図26(d))として、上記反転駆動回路40に供給される。なお、このスイッチ信号SWは、1画素、1水平駆動ごとに反転し、さらに同一水平駆動線では1垂直駆動ごとに反転する信号である。このようなスイッチ信号SWを前述の反転駆動回路40のスイッチ40Dに供給して制御することにより、スイッチ40Dからの出力は、図26(e)に示すような互いに極性が反対の2つの波形のように、1画素、1水平駆動ごとに極性が反転し、さらに同一水平駆動線では1垂直駆動ごとに極性が反転する信号となる。

【0027】図26(e)に示される反転駆動回路40からの出力は、次に、サンプルホールド回路110A～110Dにそれぞれ供給される。図22に示すように各サンプルホールド回路110A～110Dの6ビットのDFF1101～1105は、サンプリングパルス発生回路100からそれぞれ供給されるSPL-1～SPL-4の立ち上がりタイミングで、それぞれ反転駆動回路40からの出力をサンプルホールドする。これにより、6ビットの入力表示画像データは、1画素のデータが4画素分の長さの1個(組)のデータに変換されることとなる。

【0028】サンプルホールド回路110A～110Dから出力される4個のデータは、それぞれラッチ回路120A～120Dに供給される。ラッチ回路120A～120Dでは、それぞれ、図23に示すラッチ1200～1205が、SPL-1の立ち上がりタイミングでサンプルホールド回路110A～110Dからの4個のデータをラッチ・保持する。このようにして、図25の(25-1)、(25-m)、(25-n)、(25-o)に示すように、4個のデータは同一タイミングで変化するよう揃えられ、D/Aコンバータ130A～130Dに供給されて、アナログ信号となる。

【0029】水平シフトレジスタ30のDFF301～30nの出力は、ドットクロックCLKの1周期分、つまり4画素期間ごとに「H」のXSTPを出力し、次段のDFFに転送される。DFF301の出力(25

r)は、アンド回路311の一方の入力に供給される。アンド回路311の他方の入力にはXCLKが供給されているので、アンド回路311は、水平シフトレジスタ30のDFF301の出力とXCLK(25-r)の論理積をとって出力する。この出力は、FETスイッチ01A、01B、01C、01Dのゲートに共通に供給される。

【0030】従って、アンド回路311からの出力が「H」となると、FETスイッチ01A、01B、01C、01Dのゲートが「H」となると、そのFETスイッチはオンし、FETスイッチ01A～01Dのドレインに接続されたD/Aコンバータ130A～130Dの出力(25-l)、(25-m)、(25-n)、(25-o)が、それぞれサンプル用コンデンサ01E、01F、01G、01Hに充電される。また、各サンプル用コンデンサ01E～01Hは、アンド回路311の出力が「L」となると、FETスイッチ01A～01Dがオフとなると、次にオンするまでその電圧を保持する。水平シフトレジスタ30の各出力は1水平駆動期間に1回「H」となるからサンプル用コンデンサ01E、01F、01G、01Hの電圧は1水平駆動周期の時間保持されることとなる。なお、水平シフトレジスタ30の他のDFF302～30nの出力についても、対応するアンド回路312～31nによって対応するFETスイッチ02A～02D・・・0nA～0nDが上記と同様に動作し、サンプル用コンデンサ02E～02D・・・0nE～0nDがそれぞれD/Aコンバータ130A～130Dの出力信号を1水平駆動期間保持する。

【0031】YSTP発生回路140に垂直駆動パルスVDが入力されると、YSTP発生回路140は、この垂直駆動パルスVDに応じて、NSTP発生回路20と同様の動作で垂直スタートパルスYSTPを発生する。垂直スタートパルスYSTPは垂直シフトレジスタ150に入力される。垂直シフトレジスタ150は、水平駆動パルスHDを転送クワックとしており、各段DFF1501～150mにおいて、水平駆動パルスHDが立ち上がる度に、垂直スタートパルスYSTPがシフトされ、対応するアンド回路1511～151mに出力される。

【0032】各アンド回路1511～151mの出力は対応するゲートラインにそれぞれ接続されており、同一水平駆動線上(ゲートライン)の画素TFTのゲート(例えば、11A～11D・・・1nA～1nD)が1水平駆動期間毎に選択され、選択された画素TFTのゲートが「H」となると画素TFTがオンする。そして、サンプル用コンデンサ01E～0nHが保持しデータラインに供給されるアナログ表示データが、オンした画素TFTを介して画素電極に供給され、液晶の画素ごとの等価容量11E、11F、11G、11H～1nE、1nF、1nG、1nHに表示データに応じた電圧が書き込

まれ、その電圧に応じて液晶分子が駆動され、光透過量が制御されて所望の画像が表示される。

【0033】

【発明が解決しようとする課題】従来のマトリクス型表示装置は、以上のような駆動回路によって動作する。

【0034】しかし、液晶表示装置においては、液晶表示パネルの後方に光源が配置されており、この光源から出射される光の透過量を画素毎に制御して表示を行っているため、表示画面内に均一に光源からの光を供給できない場合には、各画素へ均一な電圧レベルの表示画像信号を供給しても、液晶表示画面上で透過光量に差が発生して輝度ムラが現れてしまう。例えば、液晶表示画面が大型化した場合には、画面内で均一に光源からの出射光を供給することが難しくなり、また、投射型液晶表示装置などでは、高輝度の光源を用い、拡大して透過画面を表示するので、このような光源の輝度ムラが目立つことがあった。

【0035】また、D/Aコンバータ110A～110Dなどのデータ出力部や、サンプル用コンデンサなどのデータ保持部から、各画素TFTまでの配線長が、画素位置によって異なるため、D/Aコンバータやサンプル用コンデンサから離れた位置にある画素TFTまでの配線は、近い位置にある画素TFTまでの配線に比較して、その抵抗、容量及びインダクタンス分が大きくなる。このため、特に、配線として抵抗の高い材料を用いた場合には、D/Aコンバータ等からの距離に依存して、各画素に供給される表示画像信号の電圧レベルが変化することとなり、液晶表示画面上で輝度にムラを生ずることになってしまう。表示画面が大型化すればするほど、配線長の差が大きくなることから、輝度ムラが問題となる可能性がある。

【0036】上記のような理由によって発生する輝度ムラを駆動回路の駆動方法によって補正する場合には、通常、表示画像信号そのものの振幅を補正波形に基づき変化させる。このため、表示画像信号に適した、振幅変調しても黒の基準レベルが各画素で変化しないような高精度の振幅変調回路が必要であった。

【0037】ディジタル回路を利用して、このような振幅変調回路を実現することが考えられるが、この場合、入力信号のビット数(分解能)より出力側のビット数を大きくしなければならない。従って、ディジタル回路の規模が大きくなってしまい、D/Aコンバータの分解能も高くなければならず、高価なものが必要であった。従って、簡単な構成で安価な回路によって、各画素への印加電圧を制御できる駆動回路が求められている。

【0038】本発明は、このように簡単な安価な回路構成で各画素への印加電圧を制御可能であって、表示装置において均質な画像表示を可能とするための駆動回路を提供することを目的とする。

【0039】

【課題を解決するための手段】この発明は、複数の画素がマトリクス状に配置された表示装置の駆動回路であって、転送クロックに応じて水平方向又は垂直方向に並ぶ前記各画素を選択するためのシフトレジスタと、一画面の一水平駆動期間又は一垂直駆動期間中で波形の変化する補正信号を発生する補正信号作成手段と、前記補正信号に基づいて、前記シフトレジスタの前記転送クロックの位相を変調するクロック位相変調手段と、を備えることを特徴とするものである。

【0040】また、この発明は、複数の画素がマトリクス状に配置された表示装置の駆動回路であって転送クロックに応じて水平方向に並ぶ前記各画素を順次選択するためのシフトレジスタと、前記一水平駆動期間内で電圧レベルの変化する水平補正信号を発生する補正信号作成手段と、前記水平補正信号に基づいて、前記シフトレジスタの前記転送クロックの位相を変調させるクロック位相変調手段と、を備えることを特徴とするものである。

【0041】更に、この発明は、複数の画素がマトリクス状に配置された表示装置の駆動回路であって、転送クロックに応じて垂直方向に並ぶ前記各画素を順次選択するためのシフトレジスタと、前記一垂直駆動期間内で電圧レベルの変化する垂直補正信号を発生する補正信号作成手段と、前記垂直水平補正信号に基づいて、前記シフトレジスタの転送クロックの位相を変調するクロック位相変調手段と、を備えることを特徴とするものである。

【0042】また、この発明は、前記補正信号作成手段は、水平駆動信号又は垂直駆動信号に応じて電圧レベルの変化するノコギリ波を作成して、これを前記水平又は垂直補正信号として前記クロック位相変調手段に供給し、前記クロック位相変調手段は、前記水平又は垂直補正信号の電圧レベルに応じて前記転送クロックを位相変調し、前記シフトレジスタに供給することを特徴とするものである。

【0043】更に、前記シフトレジスタは、転送クロックとして複数相のクロックを用い、前記複数相のクロックのいずれかを前記クロック位相変調手段から出力される位相変調転送クロックとすることを特徴とするものである。

【0044】また、前記シフトレジスタは、転送クロックとして2相の転送クロックを用い、前記2相の転送クロックの一方を前記クロック位相変調手段からの非反転位相変調転送クロックとし、前記2相のクロックの他方を前記クロック位相変調手段からの反転位相変調転送クロックとすることを特徴とするものである。

【0045】この発明は、更に、前記クロック位相変調手段に、前記水平又は垂直駆動期間中に電圧レベルの変化する前記補正信号又は一定電圧のいずれを供給するかを切り替える切り替え手段を備えることを特徴とするものである。

【0046】また、更に、前記補正信号作成手段が作成

する前記補正信号の振幅を切り替える切り替え手段を備えることを特徴とするものである。

【0047】更に、表示画像のドットクロックの周波数の高低を判別する周波数判別手段を備え、前記切り替え手段は、前記周波数判別手段からの判別出力に基づき、前記クロック位相変調手段に前記補正信号又は一定電圧のいずれを供給するかを切り替えることを特徴とするものである。

【0048】また、この発明では、更に、表示画像のドットクロックの周波数の高低を判別する周波数判別手段を備え、前記切り替え手段は、前記周波数判別手段からの判別出力に基づいて前記補正信号の振幅を切り替えることを特徴とするものである。

【0049】前記切り替え手段は、表示画像の水平同期信号の周波数が高い場合に、前記クロック位相変調手段に前記補正信号を供給するか又は前記補正信号の振幅が大きくなるように切り替え動作し、前記水平同期信号の周波数が低い場合には、前記クロック位相変調手段に前記一定電圧を供給するか又は前記補正信号の振幅が小さくなるように切り替え動作することを特徴とするものである。

【0050】また、この発明では、前記マトリクス型表示装置が、前記マトリクス状に配置された前記画素の各列間に配置され、列方向に並ぶ各画素に対して表示画像信号を供給するための複数のデータラインを有し、前記データラインに対して、所定の表示画像信号供給部から出力される前記表示画像信号を選択的に供給するための複数のスイッチ手段を備え、前記転送クロックに従って前記シフトレジスタから出力される信号に応じて前記スイッチ手段を順次動作させることにより、前記各データラインに供給される表示画像信号の電圧レベルを制御することを特徴とするものである。

【0051】更に、この発明では、前記マトリクス型表示装置が、前記マトリクス状に配置された前記画素の各行間に配置され、行方向に並ぶ各画素を選択して表示画像信号を書き込むための走査信号がそれぞれ印加される複数の走査ラインを有し、前記転送クロックに従って前記シフトレジスタから出力される信号に応じた信号を、前記走査信号として前記各走査ラインに順次印加することにより、各走査ラインに接続された各画素への表示画像信号の書き込み期間を制御することを特徴とするものである。

【0052】

【発明の実施の形態】以下、本発明に係るマトリクス型表示装置の駆動回路として、液晶表示装置の駆動回路を例に挙げ、その構成について図面を用いて説明する。

【0053】実施の形態1、図1は、本実施の形態1に係る液晶表示装置の駆動回路を示している。

【0054】本実施形態1においては、水平方向に並ぶ画素TFT1A～mDを順次選択して表示画像信号



(以下、表示画像データという)を順次供給するための水平シフトレジスタ30からの選択信号の出力タイミングを、表示画面上の位置に応じて制御するための構成を備えている。具体的には、一水平駆動期間内で電圧レベルの変化する水平補正信号を発生する水平補正信号作成手段として、水平補正信号発生回路160を有する。更に、上記水平補正信号に基づいて水平シフトレジスタ30の転送クロックの位相を変調するクロック位相変調手段として、XCCLK位相変調回路170を備え、位相の変調された転送クロックXCCLK-1を水平シフトレジスタ30に供給している。

【0055】水平シフトレジスタ30の各段DFF301~30nは、上記位相変調された転送クロックXCCLK-1に基づいて順次水平スタートパルスXSTPをシフトし、これを順次出力することにより、画素TFT1A~mnDに供給される表示画像信号の電圧レベルが転送クロックXCCLK-1に応じて制御されることとなる。

【0056】以下、本実施の形態1の具体的な構成について説明する。

【0057】まず、XCCLK発生回路10は、表示画像の1画素の周期のドットクロックCLKが入力されており、その1/4の周波数の水平転送クロックXCCLKを発生する。XSTP発生回路20は、図19に示すようにDフリップフロップ20A、20B、アンド回路20Cによって構成され、表示画像の一水平駆動周期の水平駆動パルスHDが入力され、この水平駆動パルスHDに基づいて水平駆動の開始タイミングを示すスタートパルスXSTPを発生する。また、上記水平シフトレジスタ30は、n個のDFF301~30n(nは整数)によって構成され、CLK端子に供給される転送クロックXCCLK-1に基づいて、D端子に供給される水平スタートパルスXSTPを順次シフトし、各DFF301~30nのQ出力端子から出力する。アンド回路311、312、...、31nは、それぞれ対応するDFF301~30nと、XCCLKとの論理積をとって出力する。

【0058】垂直方向に並んだ画素TFTが接続されたデータラインと、このデータラインに表示画像信号を供給する共通データライン(図では1本)との間にはスイッチ手段としてFETスイッチ01A~0nA、01B~0nB、01C~0nC、01D~0nDが設けられている。そして、複数個(図では1個)毎にFETスイッチ01A~01D、02A~02D、...、0nA~0nDのゲートがまとめられ、それぞれ対応する一つのアンド回路311、312~31nに接続されている。また、各FETスイッチ01A~0nA、01B~0nB、01C~0nC、01D~0nDのソース(又はドレイン)には、それぞれ対応してサンプル用コンデンサ01E~01H、...、0nE~0nHが接続されている。このため、アンド回路311~31nの出力によ

り、複数個のFETスイッチが同時に選択され、選択されたFETスイッチに接続された上記サンプル用コンデンサは、FETスイッチを介して表示画像信号供給部であるD/Aコンバータ110A~110Dの出力を取り込んでこれを1水平駆動期間サンプルホールドする。

【0059】水平補正信号発生回路160は、図2(a)又は(b)に示すような構成を有している。図2(a)の場合には、電源VCCに、分割抵抗160A、160Bが接続され、この分割抵抗160Aと160Bの間には、PNPトランジスタ160Dのベースが接続され、トランジスタ160Dのエミッタは抵抗160Cを介して電源VCCに接続され、トランジスタ160Dのコレクタには、コンデンサ160Eが接続されている。そして、トランジスタ160Dは、そのベースに印加される分割電圧に応じて動作し、これにより電源VCCからの電荷が、抵抗160C及びエミッタ・コレクタを介してコンデンサ160Eに充電される。コンデンサ160Eとトランジスタ160Dのコレクタとの間にはNPNトランジスタ160Fのベースが接続されている。

【0060】また、インバータ160J及び抵抗160Hを介して水平駆動パルスHDがNPNトランジスタ160Iのベースに印加されており、このトランジスタ160Iのコレクタが、コンデンサ160Eとトランジスタ160Fのベースとの間に接続されている。トランジスタ160Iは水平駆動パルスHDに応じて動作し、このため水平動作パルスHDの周期である一水平駆動期間毎に、コンデンサ160Eが放電し、コンデンサ160Eの両端電圧が周期的に制御される。

【0061】トランジスタFは、コンデンサ160Eの充電電圧に応じて動作し、これにより、トランジスタ160Fのエミッタと抵抗160Gとの間に接続されたOUT端子から、後述する非反転の水平補正信号(4-c)が出力される。

【0062】一方、図2(b)の構成は、図2(a)の構成と基本的に同一であるが、水平補正信号の極性を反転して出力するための反転アンプ161がOUT端子の前段に設けられている点で異なっている。このため、図2(b)の構成では、OUT端子から反転された水平補正信号(4-d)が出力される。

【0063】以上のように、図2(a)、(b)のいずれの水平補正信号発生回路160においても、水平駆動期間毎に周期的にその電圧レベルの変化する水平補正信号が出力される。

【0064】XCCLK位相変調回路170は、図3に示すような構成を有している。

【0065】図3において、XCCLK位相変調回路170は、積分器を構成する抵抗170A及びコンデンサ170Bと、コンパレータ170D及び抵抗170Cを備えている。コンパレータ170Dの非反転(+)入力端

子には、XCLK発生回路10から供給されるクロックXCLKを積分して得られたノコギリ波が供給され、反転(ー)入力端子には水平補正信号発生回路160からの水平補正信号(4-c)又は(4-d)が抵抗170Cを介して供給されている。

【0066】コンパレータ170Dは、2つの入力端子に供給される信号を比較することにより、水平補正信号(4-c)又は(4-d)のレベルに応じてクロックXCLKを位相変調した位相変調転送クロックXCLK-1を出力する。コンパレータ170Dで得られた位相変調転送クロックXCLK-1は、水平シフトレジスタ30の各段DFF301~30nのCK端子に転送クロックとして供給される。

【0067】6ビットのデジタル画像信号Rが供給される反転駆動回路40は、図20に示すように、反転回路40A、レベルシフト回路40B及び40C、スイッチ40Dを備え、表示画像信号に基づいて、出力の特性が、1水平駆動及び1垂直駆動ごとに、液晶に応じたレベルで上下(又は正負)に反転する信号を作成して、これを表示画像信号として出力する。また、2分周回路50は水平駆動パルスHDを2分周し、2分周回路60は垂直駆動パルス(以下、VD)を2分周し、更に2分周回路80は、CLKを2分周する。エクスクルーシブOR回路70には、2分周回路50の出力と、2分周回路60の出力とが供給され、排他的論理和をとって出力する。エクスクルーシブOR回路90は、エクスクルーシブOR回路70の出力と、CLKの排他的論理和をとり、反転駆動回路40の反転タイミングとなるスイッチ信号を発生する。

【0068】サンプリングパルス発生回路100は、図21に示すようDFF100A及び100B、アンド回路100C、オア回路100と、DFF100E~100Hを備えている。DFF100A、B、E~HのCK端子にはそれぞれCLKが供給され、クリア端子CLKには水平駆動パルスHDが供給されており、DFF100E~100Hの各Q出力端子より、サンプルホールド回路110A~110Dが反転駆動回路40から供給される表示画像信号をサンプルホールドするためのサンプルタイミングパルスSPL-1~SPL-4を出力する。

【0069】また、上記サンプルホールド回路110A~110Dは、それぞれ、図22に示すように6つのDFF1100、1101~1105を備え、各CK端子に、サンプリングパルスSPL-1~4のいずれかが供給され、入力される反転駆動回路40からの6ビットデジタル表示画像信号をサンプルホールドして、これに対応するラッチ回路120A~120Dに出力する。

【0070】ラッチ回路120A~120Dは、図23に示すように6つのDFF1200、1201~1205を備え、各CK端子にはサンプリングパルスの1つ

(ここでは、SPL-1)が供給されている。そして、サンプルホールド回路110A~110D回路でそれぞれサンプルホールドされた信号をこのサンプリングパルスSPL-1に応じて同一タイミングの信号に揃え、対応するD/Aコンバータ130A~130Dにそれぞれ出力する。そして、D/Aコンバータ130A~130Dが、対応するラッチ回路120A~120Dから供給されるデジタルのラッチデータをアナログ信号に変換してこれに対応する4本の共通データラインにそれぞれ出力する。

【0071】各共通データラインには、上述のFETスイッチ01A~01nA、01B~01nB、01C~01nC、01D~01nDのソース・ドレインを介してサンプル用コンデンサとデータラインとが接続されている。各データラインには、垂直方向に並ぶ複数の画素TFTのソース(又はドレイン)が接続されている。よって、水平シフトレジスタ30の出力によってFETスイッチが動作すると、これにより対応するデータラインに、上記D/Aコンバータ130A~130Dからのアナログ表示画像データが供給され、サンプル用コンデンサ01E~01nHに保持されることとなる。

【0072】液晶表示パネルの垂直駆動の開始タイミングを示す垂直スタートパルスYSTPを発生するためのYSTP発生回路140は、図24に示すように、DFF140A、140B、アンド回路140Cを備える。そして、表示画像の垂直周期を示す垂直駆動パルスVDがDFF140A及び140BのCLR端子に供給され、水平駆動パルスHDが各CK端子に供給されている。YSTP発生回路140は、これら垂直駆動パルスVD及び水平駆動パルスHDに基づいて、垂直スタートパルスYSTPを発生する。

【0073】また、垂直シフトレジスタ150は、m個のDFF(mは整数)で構成されており、各DFFのCK端子に供給される水平駆動パルスHDに従って上記YSTP発生回路140から出力される垂直スタートパルスYSTPを順次シフトして、各Q出力端子から順次出力する。

【0074】DFFの各Q出力端子には、対応するアンド回路1511~151mの一方の入力に供給されており、各アンド回路1511~151mは、その他方の入力に供給される水平駆動パルスHDと垂直シフトレジスタ150からの出力との論理積をとる。同一水平方向に配置された各ゲートラインには、画素TFT(例えば、11A、11B、11C、11D~1nA、1nB、1nC、1nD)のゲートがそれぞれ接続されており、この走査ライン(以下、ゲートラインと言う)にアンド回路1511~151mからの出力が各画素TFTに表示画像信号を書き込むための走査信号としてそれぞれ供給される。

【0075】次に、本実施の形態1の特徴的な動作につ

いて更に図1～図6を用いて説明する。

【0076】図2(a)及び(b)に示す水平補正信号発生回路160の抵抗160A～160C、トランジスタ160D、コンデンサ160Eは、トランジスタ160Dのコレクタ電流が一定値となるように動作する定電流回路を構成する。即ち、電源電圧VCCを抵抗160A、160Bで分割した電圧にトランジスタ160Dのベース・エミッタ間の電圧を加算した電圧、すなわちトランジスタ160Dのエミッタ電圧は定電圧となる。よって、抵抗160Cにかかる電圧が定電圧となる。このため、抵抗160Cを流れる電流、即ちトランジスタ160Dのエミッタ電流が定電流となり、またコレクタ電流も定電流となる。このトランジスタ160Dのコレクタ電流はコンデンサ160Eを充電する。従って、トランジスタ160Dのコレクタ側に接続されたコンデンサ160Eには定電流充電がされることとなり、コンデンサ160Eにかかる電圧は直線状に上昇する。

【0077】インバータ160Jには、図4の(4-a)に示すような一水平駆動周期毎の水平駆動パルスHDが印加される。インバータ160Jで特性が反転して得られた反転信号(4-b)は、コンデンサ160Eと並列に接続されたトランジスタ160Iのベースに印加される。このため、トランジスタ160Iは、水平駆動パルスHDの「L」レベルの期間オン状態となる。トランジスタ160Iがオンするとコンデンサ160Eに充電された電荷が急速に放電される。

【0078】また、トランジスタ160Iがオフすると、コンデンサ160Eは、定電流によって充電されるため、コンデンサ160Eの電圧は、トランジスタ160Iのオン期間の終了時点から直線的に上昇する。よって、コンデンサ160Eにかかる電圧は、水平駆動パルスHDの周期に等しい一水平駆動期間周期で変化するノコギリ波となる。このようにして得られたノコギリ波は、トランジスタ160F、抵抗160Gによるエミッタフォロアを介してOUT端子から図1(4-c)に示すような水平補正信号として出力され、XCLK位相変調回路170に供給される。また、図2(b)に示すようにOUT端子の前段に反転アンプ161が設けられている場合には、図1の波形(4-c)がこの反転アンプ161によって反転し、図4の(4-d)のような水平補正信号が出力されることとなる。

【0079】次に、図2(a)に示すように、水平補正信号発生回路160から図4(4-c)の水平補正信号がXCLK位相変調回路170の抵抗170Cに供給される場合の本実施の形態1の回路動作について、図5に従って説明する。

【0080】XCLK発生回路10からのクロックXCLK(図5(5-a))がXCLK位相変調回路170の抵抗170Aに供給されると、このクロックXCLK(5-a)は、抵抗170A及びコンデンサBによって

積分され、図5(5-b)のようなクロックXCLKと同一周期の積分波形となる。この積分波形は、コンパレータ170Dの非反転(+)入力端子に供給され、コンパレータ170Dの反転(-)入力端子に供給される水平補正信号発生回路160からの水平補正信号であるノコギリ波(4-c)と比較される。

【0081】比較の結果、コンパレータ170Dは、積分波形の電圧レベルがノコギリ波の電圧レベルよりも高い期間「H」となる図5(5-c)に示すような波形を位相変調送クロックXCLK-1として出力する。図5から明らかなように、この転送クロックXCLK-1(5-c)は、入力されるクロックXCLKに対し、水平補正信号の電圧レベルに応じてその立ち上がり、立ち下がり位相が変化しており、位相変調された信号となっている。

【0082】XCLK位相変調回路170からの位相変調送クロックXCLK-1は、転送クロックとして水平シフトレジスタ30に供給される。水平シフトレジスタ30の各段のDFF301～30nは、このクロックXCLK-1の立ち上がりにより、XSTP発生回路20から供給される水平スタートパルスXSTPを順次シフトし、また、各段DFF301～30nは、図5の(5-d)、(5-e)、(5-f)、(5-g)、(5-h)に示すようなタイミングで順次スタートパルスXSTPを出力する。

【0083】水平シフトレジスタ30の各段DFF301～30nの出力は、対応するアンド回路311、312、…、31nで、クロックXCLKとの論理積がとられ、各アンド回路311～31nから図5の(5-i)、(5-j)、(5-k)、(5-l)、(5-m)に示すようなパルスが順次出力される。なお、図5には、全てのDFF301～30n及びアンド回路311～31nからの出力波形は示していないが、各回路からは、一水平駆動期間に一回、図5に示すようなパルスを発生する。

【0084】上記アンド回路311～31nから出力される(5-j)～(5-m)のごときパルスは、水平補正信号発生回路160から出力されるノコギリ波の水平補正信号のレベルが上昇するにつれ、これに応じて「H」の期間が短くなっている。アンド回路311～31nからの出力パルスが「H」の期間には、対応するFETスイッチ01A～01D、…、0nA～0nDのゲートに「H」が供給される。よって、アンド回路311～31nの出力パルスが「H」の期間に、FETスイッチはオンする。

【0085】図5の(5-n)に示すようなD/Aコンバータ130A～130Dからの出力データは、本実施の形態1の場合、1相、つまり水平方向の1画素分のデータであり、これらは4本の共通データラインのうちの対応する1本にそれぞれ同一のタイミングで出力され

る。上記アンド回路311~31nからの出力パルスによって、FETスイッチがオンすると、対応するサンプル用コンデンサ01E~01H、…、0nE~0nHは、図5の(5-n)に斜線で示す期間に、D/Aコンバータ130A~130Dの出力でそれぞれ充電されることとなる。

【0086】XCLK位相変調回路170から出力される位相変調転送クロックXCLK-1の「H」レベル期間は、図5(5-c)に示すように、一水平駆動期間においてだんだん短くなる。対応してアンド回路311~31nの「H」の出力期間も、図1中右に進むほど短くなり、これによりサンプル用コンデンサ01E~01H、…、0nE~0nHへのアナログ表示画像データの書き込み期間も順次短くなる。このため、サンプル用コンデンサ01E~01H、…、0nE~0nHに印加される電圧は、書き込み時間が短くなるにつれ、つまり図1においてはD/Aコンバータ130A~130Dから水平方向に離れるにつれて、低くなる。

【0087】従って、入力される画像信号では、その輝度が画面上で一様である場合にも、水平補正信号発生回路160で発生した水平補正信号(ノコギリ波)のレベルに対応して、液晶表示容量11E、11F、11G、11H~1nE、1nF、1nG、1nHに書き込まれる電圧も水平方向で変化することとなる。

【0088】ところで、図24に示すような構成のYSTP発生回路140は、入力される垂直駆動パルスVDに基づき、XSTP発生回路20と同様の動作で、垂直スタートパルスYSTPを発生する。この垂直スタートパルスYSTPは垂直シフトレジスタ150に入力される。垂直シフトレジスタ150は、本実施の形態1においては、水平駆動パルスHDをその転送クロックとしており、1水平駆動期間ごとに垂直スタートパルスYSTPがシフトして各段DFF150-1~150mがこれを出力する。アンド回路1511~151mは、この各段DFF150-1~150mから順次出力される垂直スタートパルスYSTPと水平駆動パルスHDとの論理積をとり、その論理積結果を対応するゲートラインに順次走査信号として出力する。

【0089】水平方向に並ぶ画素TFは、水平方向に延びたゲートラインにそのゲートが接続され、各画素TFは、対応するゲートラインが選択され、ゲートに「H」が供給される期間オンする。そして、オンした画素TFは、データラインを介して、サンプル用コンデンサ01E~0nHに保持されている表示画像信号を取り込む。なお、この表示画像信号は、その電圧レベルが、水平補正信号のレベルによって制御されており、サンプル用コンデンサ01E~0nHに1水平駆動期間中保持される。

【0090】サンプル用コンデンサ01E、01F、01G、01H~0nE~0nHの保持電圧が、画素TF

T11A~11D、…、1nA~1nDを介して各液晶表示容量11E、11F、11G、11H、…、1nE、1nF、1nG、1nHに書き込まれ、書き込まれた電圧に応じて液晶の光透過量が変わり画像が表示される。

【0091】以上のように、図2(a)の水平補正信号発生回路160と、この水平信号発生回路160からの水平補正信号(4-c)を入力とするXCLK位相変調回路170とによって、液晶パネルの水平方向でその表示輝度を調整することができる。このような構成は、例えば、図1において、装置の光源の射出光量が表示パネルの右側で多く、左側で少なくなっているような場合に適用可能である。

【0092】液晶表示装置では、その装置の厚さをできるだけ薄くするために、従来からパネルの側方に光源を配置するサイドライト型の構成が多く用いられている。このような配置では、光源の設置されているパネル側方領域では表示輝度が高くなり、その設置領域から遠ざかるにつれて表示輝度が低くなることもある。

【0093】従って、例えば、光源が、図1の右側に設置されている場合などにおいて、上述のような構成によって簡単にかつ確実に水平方向で各画素の透過光量を左側より右側で少なくでき、光源の光量のバラツキをキャンセルして、液晶表示画面上において均一な輝度で表示を行うことが可能となる。

【0094】次に、図2(b)に示すように、水平補正信号発生回路160から極性の反転したノコギリ波を水平補正信号(4-d)として出力し、これをXCLK位相変調回路170の抵抗170Cに供給する場合の動作について図6に従って説明する。

【0095】水平補正信号発生回路160からのノコギリ波(4-c)を反転アンプ161によって反転することによりXCLK位相変調回路170のコンパレータ170Dの反転(−)入力端子には、抵抗170Cを介し、図4の(4-d)に示すように、水平駆動パルスHDの立ち上がりから直線的に電圧レベルの低下するノコギリ波形状が供給されることとなる。一方、コンパレータ170Dの非反転(+)入力端子には、XCLK発生回路10からのクロックXCLK(6-a)の積分波形が供給される(6-b)。

【0096】コンパレータ170Dは、波形(6-b)のように、XCLKの積分波形と、ノコギリ波の水平補正信号(4-d)とを比較する。比較の結果、コンパレータ170Dは、積分波形の電圧レベルが水平補正信号(4-d)の電圧レベルよりも高い期間「H」となる(6-c)に示す位相の位相変調転送クロックXCLK-1を出力する。この転送クロックXCLK-1(6-c)は、入力されるクロックXCLKに対し、水平補正信号の電圧レベルの低下に応じてその立ち上がり、立ち下がり位相が変化しており、図5の(5-c)とは反対

に、一水平駆動期間内で「H」レベル期間がだんだんと長くなるパルス信号となっている。

【0097】水平シフトレジスタ30の各段DFF301～30nは、上記転送クロックXCCLK-1(6-c)の立ち上がりにより、XSTP発生回路20から供給される水平スタートパルスXSTPを順次シフトし、また、(6-d)、(6-e)、(6-f)、(6-g)、(6-h)に示すようなタイミングで順次スタートパルスXSTPを出力する。アンド回路311～31nは、上記スタートパルスXSTPと、クロックXCCLKとの論理積をとる。これにより、アンド回路311～31nは、(6-i)、(6-j)、(6-k)、(6-l)、(6-m)に示すようなパルスを順次出力する。

【0098】図6から明らかなように、上記アンド回路311～31nから出力される(6-j)～(6-m)のような出力パルスは、水平補正信号発生回路160から出力される反転水平補正信号(4-d)の電圧レベルが低下するにつれ、「H」レベル期間が長くなっている。このため、選択するFETスイッチが図1の右側にいくにつれ、アンド回路311～31nからの出力パルスのHレベル期間が長くなり、対応するサンプル用コンデンサ01E～01H、…、0nE～0nHへの充電期間が長くなる(図6の(6-n)の斜線期間)。サンプル用コンデンサ01E～01H、…、0nE～0nHに印加される電圧は、書き込み時間が長くなるにつれ高くなるので、特性が反転された水平補正信号(4-d)に基づいて転送クロックXCCLK-1を作成することにより、D/Aコンバータ130A～130Dから水平方向に送れるにつれて書き込み電圧が高くなることとなる。

【0099】液晶表示装置のパネルの大型化によって、配線抵抗、配線容量等の観点から配線長が無視できなくなる傾向にある。図1に示す構成の場合では、D/Aコンバータ130A～130Dから送るにつれて、各共通データラインの配線抵抗等が増加することとなる。従来のように同一レベルの表示画像データを出力した場合には、サンプリング用コンデンサ01A～0nDに書き込まれる電圧は、図中右側にいくにつれて低下し、表示輝度にムラが発生してしまう。

【0100】本実施の形態1では、上述のように水平補正信号(6-c)に基づいて水平シフトレジスタ30の転送クロックの位相変調を行い、D/Aコンバータ130A～130Dからの配線長の増大によるサンプリング用コンデンサ01E～0nHへの書き込み電圧の低下をキャンセルすることができる。よって、水平方向で表示輝度のムラが発生せず、画面上均一な輝度で表示することが可能となる。

【0101】実施の形態2、上記実施の形態1では、補正信号として水平駆動パルスに基づいて作成した水平補正信号(ノコギリ波)を用いた例を示しているが、本実

施の形態2では、垂直駆動パルスに基づいて垂直補正信号を作成し、垂直方向での表示輝度ムラの発生を防止している。図7は、実施の形態2の構成を示している。なお、以下の説明において既に説明した図面と同一の部分には同一の符号を付して説明を省略する。

【0102】本実施の形態2では、垂直シフトレジスタ150の転送クロックを位相変調するための構成として垂直補正信号発生回路180と、YCCLK位相変調回路190とが設けられている。

【0103】垂直補正信号発生回路180は、水平補正信号発生回路160と同一の構成を備えており、図2(a)又は(b)において、水平駆動パルスHDの代わりに垂直駆動パルスVDが入力されている。そして、図4の(4-c)又は(4-d)のようなノコギリ波を発生し、垂直周期毎の垂直補正信号としてこれを出力する。ただしコンデンサの容量若しくは定電流回路の電流値は、所望の波形となるよう選ぶ必要がある。

【0104】YCCLK位相変調回路190は、図3に示すXCCLK位相変調回路170と同一の構成を備え、クロックXCCLKの代わりにクロックYCCLKが入力されている。また、水平補正信号の代わりに垂直補正信号発生回路180からの垂直補正信号が供給されている。YCCLK位相変調回路190では、図3のコンパレータ170Dの非反転(+)入力端子に、例えば図5及び図6のクロックYCCLKを積分した波形が供給され(5-c)、(6-c)、他方の反転(-)入力端子に垂直補正信号発生回路180からの垂直補正信号(図4の(4-c)又は(4-d)に相当)が供給される。なお、図5及び図6において、XCCLKとYCCLKとは同一の波形として記載しているがその周波数自体は異なっている。また、実施の形態1の水平方向の基準のクロックXCCLKと比較すると、垂直方向では基準となるクロックYCCLK(水平駆動パルスHD)の周波数が低いことから、本実施の形態2のYCCLK位相変調回路190では、図3の抵抗170A、コンデンサ170Bの値をXCCLK位相変調回路170より大きく設定する。

【0105】YCCLK位相変調回路190は、XCCLK位相変調回路170と同様に動作して、クロックYCCLKに対し、立ち上がり、立ち下がり位相が垂直補正信号のレベルに応じて変化する転送クロックYCCLK-1(図5(5-c)又は図6(6-c)に相当)を発生する。

【0106】転送クロックYCCLK-1は、垂直シフトレジスタ150に転送クロックとして供給されるため、垂直シフトレジスタ150はこの垂直スタートパルスYSTPを転送クロックYCCLK-1に基づいてシフトする。また、垂直シフトレジスタ150の各段DFF1501～150mから、水平シフトレジスタ30と同様に順次垂直スタートパルスYSTPを出力する。DFF1501～150mからの出力波形は、図5の(5-d)

〜(5-h)又は図6の(6-d)〜(6-h)が相当する。

【0107】アンド回路1511、1512、…、151mの一方の入力には、上記DFF1501〜150mからの出力が供給され、もう一方の入力には、クロックYCLKとして、水平駆動パルスHDが入力される。各アンド回路1511〜151mは、上記各DFF1501〜150mの出力と、クロックYCLKとの論理積をとって、これを走査信号として対応するゲートラインに出力する。走査信号の出力波形は、各ゲートライン毎に図5の(5-i)〜(5-m)又は図6の(6-i)〜(6-m)のようになる。

【0108】図2(a)のような構成の垂直補正信号発生回路180を用い、出力される垂直補正信号(4-c)をYCLK位相変調回路190のコンパレータ170Dの反転(−)入力端子に供給した場合には、図5のように動作する。つまり、一垂直期間の後ろ、即ち選択されるゲートラインが図7の下方に進むにつれて、アンド回路1511〜151mから出力される走査信号の「H」レベル期間が短くなる。このため、図7で下方に位置するゲートラインほど走査期間が短くなり、これに応じてゲートラインに各ゲートの接続された画素TFT11A〜mnDのオン期間が短くなる。従って、画面上の下方にいくにつれて各画素の液晶容量11E〜11H、…、mnE〜mnHに書き込まれる電圧レベルが低くなり、表示輝度が低くなる。この構成は、上述のように、光源を例えば画面の下方の側方に配置した場合には、光源から供給される光量のばらつきをキャンセルすることが可能となる。

【0109】また、図2(b)に示すような構成の垂直補正信号発生回路180を用い、極性反転した垂直補正信号(1-d)を作成し、これをYCLK位相変調回路190のコンパレータ170Dの反転(−)入力端子に供給した場合には、図6のように動作する。つまり、一垂直期間の後ろ(選択されるゲートラインが図7の下方)に進むにつれて、アンド回路1511〜151mから出力される走査信号の「H」レベル期間が長くなる。このように、選択するゲートラインが図7の下方に進むにつれて、その「H」レベルの走査期間を長くすれば、ゲートラインに接続された各画素TFT11A〜mnDのオン期間を長くすることができる。

【0110】ここで、図7において下方に位置するゲートラインに接続された画素TFTは、上方の画素TFTと比較すると、サンプル用コンデンサ01E〜0nHからのデータラインの配線長が長い。よって、このような場合に、配線長の長い位置の画素に適正な表示画像データの書き込みが難しくなる場合には、上記構成とすることにより、サンプル用コンデンサ01E〜0nHから離れた位置にある画素の液晶容量11E〜11H、…、mnE〜mnHに書き込まれる電圧レベルが低くならな

いように制御でき、画面上における表示輝度を均一とすることができる。

【0111】なお、本実施の形態2と上述の実施の形態1とを組み合わせた構成、つまり水平方向と垂直方向の両方向において、各シフトレジスタ30及び150の転送クロックを位相変調する構成も適用可能である。この場合には、水平補正信号発生回路160及びXCCLK位相変調回路170と、垂直補正信号発生回路180及びYCLK位相変調回路190との両方を設け、転送クロックの位相変調を行う。

【0112】例えば、図1及び図2のような回路レイアウトの場合に、配線長による表示輝度のバラツキをより完全にキャンセルするには、水平補正信号及び垂直補正信号として、図1の(4-d)のようなノコギリ波形を利用して、クロックXCCLK及びYCLKをそれぞれ位相変調する。また、例えば、光源が図1の右側と、下側の両方に設けられている場合には、水平補正信号及び垂直補正信号として図4の(4-c)のようなノコギリ波形を利用することにより、光源からの光量の偏りによる輝度ムラをより確実にキャンセルすることができる。

【0113】実施の形態3、図8は実施の形態3に係る駆動回路の概略構成を示している。また、図9は、本実施の形態3のXCCLK位相変調回路172の構成を示し、図10は実施の形態3に係るタイミングチャートを示している。

【0114】本実施の形態3では、表示装置のパネル上において、D/Aコンバータが複数の組に分けられており、これに合わせて水平シフトレジスタ30の転送クロックが複数の組設定されている。具体的には、本実施の形態3では、XCCLK位相変調回路172が、水平シフトレジスタ30の転送クロックとして2相のクロックを作成する。一方の転送クロックには、クロックXCCLKを位相変調することなくクロックXCCLKと一定の位相差を備えたクロックを用いる。そして、もう一方の転送クロックには、実施の形態1と同様に、水平補正信号に基づいて位相変調したクロックXCCLK-1を用いている。

【0115】また、基準のクロックXCCLKは、偶数番目のアンド回路312、314、…、31n-1の一方の入力に供給され、奇数番目のアンド回路311、313、…、31nの一方の入力には、インバータ310によって反転されたクロックXCCLKが供給されている。

【0116】各アンド回路311〜31nの出力は、それぞれ対応する2つのFETスイッチ01A・01B、01C・01D、02A・02B、…、0nC・0nDのゲートに共通に接続されており、アンド回路311〜31nからの出力によってFETスイッチを2つずつ選択する構成となっている。

【0117】更に、実施の形態3では、図8に示されて

いるようにサンプルホールド回路110A~110Dの出力がラッチ回路を介することなくD/Aコンバータ130A~130Dに供給されている。

【0118】2相の転送クロックを発生するXCCLK位相変調回路172は、図9に示すように、ドッククロックCLKがCK端子に供給され、クロックXCCLKがD端子に供給されるDFF1721と、このDFF1721の出力を積分する抵抗1722及びコンデンサ1723を有する。また、コンパレータ1724及びコンパレータ1725と、前記コンパレータ1725の非反転(+)入力端子への印加電圧を決める分割抵抗1726及び1727を有する。

【0119】コンパレータ1724の非反転(+)入力端子及びコンパレータ1725の反転(-)入力端子には、DFF1721からの出力(10-k)を積分し、得られた積分波形が供給されている。コンパレータ1724の反転(-)入力端子には、図2(a)又は(b)の水平補正信号発生回路160からの水平補正信号(4-c)又は(1-d)が供給されている。コンパレータ1725の非反転(-)入力端子には、上述のように分割抵抗1726及び1727によって決まる分割電圧が供給される。

【0120】コンパレータ1724は、各入力端子に供給される積分波形と水平補正信号(4-c)又は(4-d)を比較し、クロックXCCLKを水平補正信号のレベルに応じて位相変調し、位相変調転送クロック(10-n)、(10-p)又は(10-q)を出力する。なお、図10の(10-n)、(10-p)及び(10-q)は、ノコギリ波である水平補正信号のレベルがそれぞれ異なる場合におけるコンパレータ1724からの位相変調転送クロックの一周期の波形例を示している。

【0121】コンパレータ1725は、DFF1721の出力の積分波形と一定電圧とを比較することから、常時一定の位相であってクロックXCCLKとは同一周期で位相のずれた非変調の転送クロック(10-1)がこのコンパレータ1725から出力されることとなる。

【0122】なお、水平補正信号として図4の(4-c)又は(1-d)のいずれを用いるかは、表示画面内での光源の光量のバラツキをキャンセルする場合には、図2(a)の水平補正信号発生回路160によって波形(4-c)を出力することとする。一方、配線長の違いによる書き込み電圧のバラツキをキャンセルする場合には、図2(b)の水平補正信号発生回路160によって波形(4-d)を出力する。

【0123】n段のDFF301~30nで構成される水平シフトレジスタ30には、転送クロックとしてXCCLK位相変調回路172からの2相のクロックが供給されている。水平シフトレジスタ30の偶数段目のDFF302、304、...、30nのCK端子には、XCCLK位相変調回路172からの相のクロックのうち、位相

変調された転送クロック(例えば、(10-n)、(10-p)、(10-q))が供給される。また、水平シフトレジスタ30の奇数段目のDFF301、303、...、30n-1のCK端子には、XCCLK位相変調回路172から出力される位相変調されていない転送クロック(10-1)が供給される。

【0124】従って、水平シフトレジスタ30の各段DFFは、奇数段目か偶数段目かに応じて異なる2相の転送クロックに応じて、それぞれ水平スタートパルスXSTPをシフトし、Q端子からアンド回路311~31nに出力する。なお、図10において、奇数段DFFからの出力は(10-m)となり、偶数段DFFからの出力は、例えば位相変調転送クロックの位相が(10-n)である場合に(10-o)となる。

【0125】アンド回路311~31nの一方の入力には、対応する水平シフトレジスタ30の対応するDFFからの出力が順次供給される。そして、アンド回路311~31nの他方の入力には、偶数番目のアンド回路312、314、...、31n-1ではクロックXCCLKが供給され、奇数番目のアンド回路311、313、...、31nではインバータ310によって反転された反転XCCLKが供給される。このため、図10(10-j)の「L」期間と、図10(10-m)の「H」期間の重なる期間が奇数番目のアンド回路311、313、...、31nの「H」レベル出力期間となる(図10のA期間)。また、図10の(10-n)、(10-p)又は(10-q)など、水平補正信号のレベルに応じた水平シフトレジスタ30からの出力の「H」期間と、図10(10-j)の「H」期間との重なる期間が、偶数番目のアンド回路312、314、...、31n-1の「H」レベル出力期間となる(図10の例えばB期間、C期間、D期間)。

【0126】本実施の形態3において、FETスイッチは、ドレインがD/Aコンバータ130A、130Bに接続された2個ずつのFETスイッチ(01A・01B、02A・02B、...、0nA・0nB)からなる組と、ドレインがD/Aコンバータ130C、130Dに接続された2個ずつのFETスイッチ(01C・01D、02C・02D、...、0nC・0nD)からなる組とから構成されている。そして、奇数番目のアンド回路311、313、...、31nの出力は、ドレインがD/Aコンバータ130A、130Bに接続されたFETスイッチ(01A・01B、02A・02B、...、0nA・0nB)のゲートにそれぞれ供給される。また、偶数番目のアンド回路312、314、...、31n-1の出力は、ドレインがD/Aコンバータ130C、130Dに接続されたFETスイッチ(01C・01D、02C・02D、...、0nC・0nD)のゲートにそれぞれ供給される。

【0127】上記FETスイッチのうち、FETスイッ

チ(01A・01B, 02A・02B, ～, 0nA, 0nB)は、ゲートに「H」が印加される期間、即ち図10のA期間中オンする。一方、FETスイッチ(01C・01D, 02C・02D, ～, 0nC・0nD)は、図10のB期間、C期間又はD期間オンする(但し、実際には、水平補正信号のレベルに応じて上記B～D期間以外の長さの期間の場合もある)。

【0128】また、本実施の形態3において、サンプルホールド回路110A～110Dは、サンプリングパルス発生回路100からのサンプリングパルスSPL-1～SPL-4に応じて、図10(10-f)、(10-g)、(10-h)及び(10-i)に示すように、反転駆動回路40から取り込んだデジタル反転表示画像データを順次D/Aコンバータ130A～130Dに出力する。D/Aコンバータ130A～130Dは、供給されたデジタルデータを順次アナログデータに変換して共通データラインに出力する。

【0129】このため、サンプルホールド回路110A～110Dからの出力に応じて順次対応する共通データラインにアナログデータが出力されることとなる。図10のA期間にFETスイッチ(01A・01B, 02A・02B, ～, 0nA, 0nB)がオンすると、D/Aコンバータ130A及び130Bからの出力(10-f)、(10-g)の斜線部分が対応するサンプル用コンデンサ01E・01F, 02E・02F, ～, 0nE・0nF)に書き込まれ、サンプル用コンデンサが充電される。

【0130】一方、図10のB期間、C期間又はD期間にFETスイッチ(01C・01D, 02C・02D, ～, 0nC・0nD)がオンすると、D/Aコンバータ130C及び130Dからの出力(10-h)、(10-i)の斜線部分及び点線領域が、対応するサンプル用コンデンサ01G・01H, 02G・02H, ～, 0nG・0nH)に書き込まれ、コンデンサが充電される。

【0131】ここで、FETスイッチとサンプル用コンデンサ等で決まる充電時定数が図10中のB、C、Dの各充電期間に対して無視できない程度に大きいと、サンプル用コンデンサ01G・01H, 02G・02H, ～, 0nG・0nH)にサンプル(充電)される電圧は、図10中の充電時間B、C、Dに対応して変化することとなる。つまり、水平補正信号によって水平シフトレジスタ30からの出力のパルスが位相変調されると、その位相変調によってFETスイッチ01C・01D, 02C・02D, ～, 0nC・0nD)のオンが制御され、対応するサンプル用コンデンサ01G・01H, 02G・02H, ～, 0nG・0nH)への充電電圧が変化する事となる。

【0132】図8に示す構成では、上述のようにFETスイッチが、D/Aコンバータ130A及び130Bに接続されるものと、D/Aコンバータ130C及び130Dに接続されるものの2系列に分けられている。そして、水平シフトレジスタ30の偶数段目のDFF31

2, 314, …, 30n)の転送クロックのみを水平補正信号(4-c)又は(4-d)によって位相変調する。従って、FETスイッチ01A・01B, 02A・02B, ～, 0nA, 0nB)が一定のオン期間で制御されるのに対し、偶数段目のDFFの出力に従って駆動されるFETスイッチ01C・01D, 02C・02D, ～, 0nC・0nD)のオン期間は、図8の構成では、右に行くに従って短く又は長くなる。このため、対応するサンプル用コンデンサ01G・01H, 02G・02H, ～, 0nG・0nH)への充電電圧が変化する。そして、このサンプル用コンデンサ01G・01H, 02G・02H, ～, 0nG・0nH)に接続される画素の液晶表示容量に書き込まれる表示電圧が変化し、画面上の右にいくにつれて水平方向2画素毎に表示輝度が変わることとなる。

【0133】このように、D/Aコンバータ130A, 130Bの出力に対応する画素での透過光量に対し、D/Aコンバータ130C, 130Dの出力に対応する画素の液晶の透過光量を増減させることができる。

【0134】ところで、図8では、D/Aコンバータ130A～130Dが全て、画素TFTのある領域の左側に設けられるように表されている。しかし、以上説明した本実施の形態3は、実際には、D/Aコンバータ130A及び130Bからの共通データラインと、D/Aコンバータ130C及び130Dの共通データラインとは、液晶パネル上で左右分けて配線される場合に適用される。このように配線した場合、D/Aコンバータ130A及び130Bからの出力経路と、D/Aコンバータ130C及び130Dからの出力経路とでは、各画素までの配線長が画面中央付近の画素では互いに等しくなり、画面の左右にいくに従って互いに逆向きに配線長が変わる。

【0135】従来の液晶表示装置では、このような配置で、配線長による抵抗分の影響を受け、サンプル用コンデンサへの充電時定数がばらつくと、遠い画素ほどサンプル電圧が減少する。これにより、1画素周期で2画素ごとに輝度が高くなる帯状の表示となってしまふ。この現象は、画面の左右ほど顕著となる。

【0136】D/Aコンバータ130A及び130Bと、D/Aコンバータ130C及び130Dとの配置場所を液晶パネル上で左右に分けた場合において、本実施の形態3の駆動回路(以下のように適用する。例えば、D/Aコンバータ130C及び130Dを図8の右側に配置すると、D/Aコンバータ130A及び130Bからの配線長については、図8のように右側にいくにつれて長くなり、時定数が大きい場合には、サンプル用コンデンサ01E・01F, ～, 0nE・0nF)に書き込まれる電圧も、右に行くにつれて低くなり、対応する各画



素の表示輝度もこれに応じて低下する。

【0137】そこで、水平補正信号発生回路160を図2(b)の構成とし、水平補正信号として図4の波形(4-d)を用いれば、偶数段目DFF302、304、・・・、30nに対応するアンド回路312、314、・・・、31nから出力される信号の「H」レベル期間は、図中右側に行くにつれて長くなる。従って、対応するサンプル用コンデンサ01G・01H、02G・02H、・・・、0nG・0nHには、右に行くほど高くなるか、又は高くはならないが左側の書き込み電圧と同等の電圧が書き込まれることとなる。

【0138】このため、表示画面全体として左右の表示輝度には多少の違いが生ずる可能性があるが、水平方向において2画素毎に表示輝度に差が発生し、画面全体として帯状の表示ムラが発生して表示品質が低下するといった問題を低減することが可能となる。

【0139】実施の形態4、図11は、実施の形態1におけるXCLK位相変調回路174の構成を示している。実施の形態3に示すXCLK位相変調回路172と相違する点は、位相変調しないでXCLKに対応したクロックを出力するためのコンパレータ172aがなく、位相変調されたコンパレータ172aからの出力(例えば、10-n)を反転するインバータ1728を有することである。また、コンパレータ1704の出力と、反転出力とを水平シフトレジスタ30の転送クロックとして供給する点で実施の形態3と異なる。しかし、他の構成については同一である。

【0140】上記実施の形態3では、水平シフトレジスタ30の片方のクロックの位相は変調されていなかったが、本実施の形態4では、図11のXCLK位相変調回路174により、図4の(4-c)又は(4-d)の水平補正信号に応じてクロックXCLKが位相変調され、互いに極性の反対の2相の位相変調転送クロックが作成される。作成された位相変調動作クロックのうち、例えば、コンパレータ172aからの非反転出力(10-n、10-p、10-q)は、図8のように水平シフトレジスタ30の偶数番目のDFF302、304、30nに転送クロックとして供給される。一方のインバータ1728からの反転出力は、水平シフトレジスタ30の奇数番目のDFF301、303、・・・、30n-1に転送クロックとして供給される。

【0141】このように2相の位相変調転送クロックの極性が互いに逆であることから、一方の位相変調転送クロックの「H」レベル期間が長くなると、他方の位相変調転送クロックの「H」レベル期間は短くなる。よって、これら2相の位相変調転送クロックに基づいて奇数番目のDFF301、303、・・・、30n-1と、偶数番目のDFF302、304、・・・、30nを動作させると、以下ようになる。

【0142】まず、図2(a)の水平補正信号発生回路

160によって図4(4-c)の波形の水平補正信号を作成した場合、図8の構成において、対応する一方のFETスイッチ01A・01B～0nA・0nBのオン期間が図中右に行くにつれて長くなると、他方のFETスイッチ01C・01D～0nC・01Dのオン期間は、図8で右に行くに従って短くなる。なお、図2(b)の水平補正信号発生回路160を用い、図4の波形(4-d)の水平補正信号を用いた場合には、上記オン期間の変化の方向は、それぞれ逆となる。

【0143】そこで、上記実施の形態3でも説明したようにD/Aコンバータ130A～130Dの配置場所を左右に分ける場合において、D/Aコンバータ130A及び130Bを図8のように液晶表示パネルの左側に配置し、D/Aコンバータ130C及び130Dを右側に配置する時は、波形(4-c)の水平補正信号に基づいてクロックXCLKを位相変調する。このようにすれば、D/Aコンバータを2系統とした場合にも、単一の水平補正信号に基づいて、D/Aコンバータの各出力系統において、それぞれ配線長の相違による配線抵抗等によって起因して発生する表示輝度の変化をキャンセルすることができる。

【0144】つまり、D/Aコンバータ130A及び130Bが左側に配置されている場合、図中の右側の領域にあるサンプル用コンデンサ及び対応する画素TFTまでの配線長は左側に比較して長くなる。例えば、サンプル用コンデンサへの充電のための時定数が大きい場合には、FETスイッチのオン時間を一定とすると、右側にいくにつれてサンプル用コンデンサに書き込まれる電圧は低くなってしまふ。

【0145】ここで、上述のように波形(4-c)の水平補正信号に基づいた反転位相変調クロックによってD/Aコンバータ130A及び130Bに接続されるFETスイッチ01A・01B、02A・02B、・・・、0nA・0nBのオン期間を制御することにより、これらのオン期間は図8の右にいくにつれて長くなる。従って、右側においても左側と同程度の電圧をサンプル用コンデンサに書き込むことが可能となる。

【0146】一方、D/Aコンバータ130C及び130Dが左側に配置されている場合、図中の左側の領域にあるサンプル用コンデンサ及び対応する画素TFTまでの配線長は右側に比較して長くなる。波形(4-c)の水平補正信号に基づいた位相変調クロックによってD/Aコンバータ130C及び130Dに接続されるFETスイッチ01C・01D、02C・02D、・・・、0nC・0nDのオン期間を制御することにより、これらのオン期間は図8の左側ほど長くなる。従って、D/Aコンバータ130C及び130Dからの出力についても、各データラインのサンプル用コンデンサに、画面上の左右で同程度となる電圧を書き込むことが可能となる。

【0147】また、反対にD/Aコンバータ130A及

び130Bを図8の右側に配置し、D/Aコンバータ130C及び130Dを左側に配置する時は、波形(4-d)の水平補正信号に基づいてXCLKを位相変調する。このようにすれば、D/Aコンバータを2系統とした場合にも、上記同様に、配線長の相違によって発生する表示輝度の変化を各系統でキャンセルすることができ、液晶表示画面の全面に均一な輝度で所望の表示を行うことが可能となる。

【0148】なお、図2(a)及び(b)に示す2種類の水平補正信号発生回路160を両方設け、非反転水平補正信号(4-c)に基づいて1つの位相変調クロックを作成し、反転水平補正信号(4-d)に基づいてもう一つの位相変調クロックを作成し、これら2相の位相変調クロックを用いて、上記のような2系統のD/Aコンバータの構成に適用してもよい。この場合にも、各系統において、配線長の相違によって発生する表示輝度の変化をキャンセルすることが可能となる。

【0149】なお、上記実施の形態3及び4においては、水平シフトレジスタ30の転送クロックを2相とした場合の構成について説明したが、D/Aコンバータ及びFETスイッチが2系統ではなく、更に多くの系統に分けられ、D/Aコンバータが液晶パネル上の2箇所以上に配置されている場合には、上述の転送クロックは、対応して複数の相に設定されることもある。

【0150】実施の形態5、図12は実施の形態5に係る駆動回路の全体構成を示している。本実施の形態5では、実施の形態1又は実施の形態3或いは4における水平補正信号発生回路160(図2参照)に代え、図13に示すような構成の水平補正信号発生回路162を設けている。他の構成については上述の実施の形態1、3及び4と、これらに対応する図面と同一である。

【0151】図13において図2の水平補正信号発生回路160の構成と異なる点は、出力する水平補正信号をスイッチ160Mによって切り替える構成としたことである。このスイッチ160Mは、出力段のNPNトランジスタ160Fのエミッタと抵抗160Gとに接続された出力経路上に設けられており、別途外部から供給されるMODE信号の「H」、「L」に応じて上、下に切り替わる。これにより、トランジスタ160Fから出力される水平補正信号と、分割抵抗160K及び160Lによって定まる一定電圧(DC電圧)とのいずれかが、水平補正信号発生回路162から出力されることとなる。

【0152】スイッチ160Mの切り替えを制御するMODE信号は、液晶に表示する画像の種類を示し、例えば水平同期周波数が予め定めた周波数より低い時は「L」となり、そうでない時は「H」となる。

【0153】図13のスイッチ160Mは、MODE信号が「L」の時は下側に接続され、OUT端子からは抵抗160K、160Lにより定まるDC電圧が出力される。反対に、MODE信号が「H」の時は上側に接続さ

れ、ノコギリ波の水平補正信号(4-e)が出力される。なお、図4の(4-d)に示すような既性の水平補正信号を出力する場合には、トランジスタ160Fとスイッチ160Mとの間に、図2(b)の反転アンプ161を挿入する。

【0154】表示画像信号のドットクロックCLKが低い時は、MODE信号が「L」となるので、スイッチ160Mは下側に切り替わり、DC電圧が水平補正信号発生回路の出力としてXCLK位相変調回路170へ供給される。XCLK位相変調回路170では一定のDC電圧を受け取ることとなるので、クロックXCLKが水平駆動周期で位相変調されることはない。表示画像の水平同期周波数が低い時は、対応してドットクロックCLKの周波数も低く、水平シフトレジスタ30の転送クロックであるXCLKの周波数も低くなる。従って、アンド回路311～31nより出力されるパルスの「H」レベルの期間が長く、FETスイッチを介してサンプル用コンデンサ01E～01H、・・・、0nE～0nHを充電する期間を十分長くとることができる。このような場合には、D/Aコンバータ130A～130Dからの配線の配線長に応じた時定数が大きくても、表示輝度のばらつきが起これにくい。よって、この場合において、XCLKの位相変調を行うと過補正となってしまう。本実施の形態5によれば、この場合にはスイッチ160Mの切り換え制御により位相変調が行われなくなるので過補正を防止することができる。

【0155】一方、表示画像信号の水平同期周波数が高い時は、MODE信号は「H」となり、スイッチ160Mは上側にたおれる。このため、ノコギリ波(4-e)又は(4-d)がOUT端子から水平補正信号としてXCLK位相変調回路170に供給される。よって、XCLK位相変調回路170はこの水平補正信号に基づいてクロックXCLKに対する位相変調を行い、転送クロックXCLK+1を水平シフトレジスタ30に供給する。

【0156】表示画像の水平同期信号が高い時は、ドットクロックCLKの周波数も高く、水平シフトレジスタ30のクロックであるXCLKの周波数も高くなる。従って、サンプル用コンデンサ01E、01F、01G、01H～0nE、0nF、0nG、0nHへの充電時間に対し、時定数が無視できない程度に大きい場合には、配線長が長い領域では充電時間についての補正が必要となる。本実施の形態5では、この場合には、MODE信号によってスイッチ160Mを切り替えるので、水平補正信号に基づいてクロックXCLKを位相変調し、各サンプル用コンデンサへの充電電圧を補正することができる。このため、周波数の異なる複数種類の表示画像を表示する装置に適用した場合であっても、各表示画像についてこれを各画素での表示輝度のばらつきなく表示することが可能となる。

【0157】実施の形態6、図14は実施の形態6に係

る水平補正信号発生回路164の構成を示している。本実施の形態6では、実施の形態1、3又は4における水平補正信号発生回路160(図2参照)に代えて、図14の水平補正信号発生回路164を設けている。他の構成については上述の各実施形態1、3及び4の構成と同一である。

【0158】図14の水平補正信号発生回路164が図2の水平補正信号発生回路160の構成と異なる点は、図2の構成に加えて、MODE信号によって水平補正信号発生回路164からの出力を制御するための構成を備えることである。

【0159】具体的に、本実施の形態6の水平補正信号発生回路164では、抵抗160Pを介してベースにMODE信号が供給されるNPNトランジスタ160Qが、コンデンサ160Nを介してトランジスタ160Fのベースに接続されている。このため、トランジスタ160Qは、抵抗160Pを介して供給されるMODE信号が「H」レベルの時オンし、コンデンサ160Nがコンデンサ160Eに対して並列に接続されることとなる。このように、コンデンサ160Eに対してコンデンサ160Nが並列接続されると、コンデンサの容量が増加するので、トランジスタ160Dから供給される定電流によってコンデンサが充電されて作成されるノコギリ波の振幅が小さくなる。ノコギリ波の振幅が小さくなると、このノコギリ波が水平補正信号として図1のXCLK位相変調回路170に供給された場合において、XCLKに対する位相変調量が減少し、補正量が小さくなる。なお、反転水平補正信号(4-d)を図14の水平補正信号発生回路164から出力する場合には、図2(b)と同様にOUT端子の前段にインバータを設ければよい。

【0160】実施の形態5に記載したように、表示画像の水平同期信号の周波数が低く、サンプル用コンデンサに対して、D/Aコンバータから離れた位置でも十分書き込むことができれば、サンプル用コンデンサの書き込み時間の補正量を小さくしてもよい。

【0161】従って、このように水平同期信号の周波数が低いときにMODE信号が「H」レベルとなるように設定しておけば、補正量を少なくでき過補正を防止できる。また、反対に水平同期信号の周波数が高い時にはMODE信号が「L」レベルとなるように設定することにより、十分な補正が必要な時には、トランジスタ160Qがオフとなって、コンデンサ160Nが機能しなくなる。よって、トランジスタ160Dからの定電流でコンデンサ160Eが充電され、実施の形態1と同様に発生するコンデンサの充電電圧に応じたノコギリ波が水平補正信号として出力されることとなり、十分な振幅の水平補正信号が得られ、十分な補正を行うことができる。

【0162】実施の形態7、図15は、実施の形態7の駆動回路の構成を示している。本実施の形態7では、水

平駆動パルスの周波数を判別する周波数弁別回路200を備え、この周波数弁別回路200からMODE信号を出力し、上述の実施の形態5又は6のような水平補正信号発生回路162又は164からの出力を切り替えている。他の構成については、図1に示す実施の形態1又は図8に示す実施の形態3又は4と同様である。

【0163】図16は、図15の周波数弁別回路200の構成を示し、図17は、この周波数弁別回路200の動作波形を示している。図16に示すように、周波数弁別回路200は、2段のインバータ201及び202と、カウンタ203、マグニチュードコンパレータ204と、DFF205とを備えている。

【0164】インバータ201は水平駆動パルスHDが供給されると、これを反転して次段のインバータ202に供給するとともに、DFF205にクロックとして供給する(17-a)。カウンタ203のCLK端子には、ドットクロックCLKが供給されており、カウンタ203は、このドットクロックCLKを計数する。またカウンタ203のCLR端子には、2段目のインバータ202からの出力(17-b)が供給される。インバータ202の出力(17-b)が「L」となることにより、カウンタ203がリセットされる。

【0165】カウンタ203からの出力は、マグニチュードコンパレータ204のB端子に供給されている。マグニチュードコンパレータ204のA端子には、所定の値が設定されており、マグニチュードコンパレータ204は、カウンタ203からB端子に供給されるカウント値と、A端子に設定されている値とを逐次比較する。

【0166】比較の結果、 $B > A$ となると、 $B > A$ 端子が「H」となる(17-c)。 $B > A$ 端子からの「H」又は「L」の比較結果は、DFF205のD端子に供給される。そして、DFF205のCLK端子には、上述のようにインバータ201から供給される水平駆動パルスHDの反転波形(17-a)が供給されており、反転波形(17-a)の立ち上がりに応じてDFF205は、D端子に供給されているマグニチュードコンパレータ出力(17-c)をラッチし、Q出力端子からの出力が同様に变化する(17-d)。従って、DFF205のQ出力端子からの出力(17-d)は、ドットクロックCLKの周波数がある値より高い時には「H」レベルとなる。また、次の水平駆動パルスHDの入力によってインバータ202の出力(17-b)が「L」となると、これによりカウンタ203がリセットされ、その時点からドットクロックCLKのカウントをスタートし、上述の周波数判別動作が繰り返される。

【0167】以上のように、DFF205のQ出力端子からの出力(17-d)は、ドットクロックCLKを1水平駆動期間に相当する期間内に計数した結果に基づいたものとなり、所定値よりもドットクロックCLKの周波数が高ければ、「H」レベルとなる。従って、Q出力

端子からの出力(17-d)を実施の形態5のMODE信号として、これを図13に示す水平補正信号発生回路162のスイッチ160Mに供給すれば、ドットクロックCLKの周波数がある値より低い時は「L」となるので実施の形態5と同様に作用する。従って、外部からMODE信号を供給しなくても周波数弁別を行うことによって、自動的にCLKの位相変調を行い、表示輝度の補正を制御することができる。

【0168】なお、図16に示す構成において、インバータ202の出力(17-b)は、水平駆動パルスHDと同じ極性ではあるが、インバータ201と202による2段分の遅延があり(17-b)、DFF205のクロックとしてのインバータ201出力(17-a)のパルスの立ち上がりよりも遅れたタイミングで、立ち下がっている。これは、カウンタ203のリセットによってDFF205のD端子に供給する信号が変化する前に、変化前のデータをクロック(17-a)の立ち上がりによって取り込むためである。但し、取り込みが可能であれば、必ずしもカウンタ203へのクリア入力を2段のインバータによって遅延させる構成とする必要はない。

【0169】実施の形態8、本実施の形態8においては、実施の形態7と同様の周波数弁別回路200を用い、図16のDFF205の反転出力端子からの反転出力(17-e)をMODE信号として用いる。そして、このMODE信号を、図14に示す実施の形態6の水平補正信号発生回路164のトランジスタ160Qに抵抗160Pを介して供給する。図17に示されているように、DFF205の反転出力(17-e)は、ドットクロックCLKの周波数が低い時「H」レベルとなる。このため、実施の形態6と同様に作用する。よって、入力される表示画像の周波数が低い場合には、自動的に水平補正信号発生回路161から出力するノコギリ波の振幅を小さくでき、過補正となることを防止することができる。

【0170】なお、以上説明した実施の形態においては、アクティブマトリクス型の液晶表示装置の駆動回路を例にとって説明したが、本発明では、表示装置としてこれには限られず、単純マトリクス型の液晶表示装置や、画素がマトリクス状に配置されるプラズマディスプレイ、有機エレクトロルミネッセンスディスプレイなどのいわゆるマトリクス型表示装置の駆動回路としても適用可能である。

【0171】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。

【0172】この発明では、液晶表示装置の各画素を水平方向又は垂直方向に選択してデータを書込みのためのシフトレジスタの転送クロックの位相を、一水平駆動期間内又は一垂直駆動期間内で電圧レベルの変化する補正信号によって位相変調する。このため、液晶表示装置の

パネル内部の配線、容量等に起因する輝度ムラや、光源の光量のバラツキによる輝度ムラ等を水平方向、垂直方向の各方向で簡単に補正することができる。

【0173】また、この発明では、水平駆動信号や垂直駆動信号などに基づいてノコギリ波を形成し、これを補正信号とする。また、この補正信号のレベルに応じてシフトレジスタの転送クロックの位相を変調する。このように、転送クロックの位相を表示画面や表示画像信号に応じた補正信号で変調するので、簡単な構成で画面の表示黒レベルなどに影響を与えることなく、輝度ムラの補正をおこなうことができる。

【0174】更に、この発明では、表示装置のパネル上において、データ出力部(例えば、D/Aコンバータ)を複数の組に分けている場合、これに合わせてシフトレジスタの転送クロックを複数相とする。例えば、シフトレジスタの転送クロックとして2相クロックを使用する場合、そのうちの一方の位相を輝度ムラを補正するための補正信号に基づいて変調する事により、異なる組のデータ出力部から供給されたデータを表示する画素間で表示輝度に差が発生し、画質が低下することを防止できる。

【0175】また、複数相の転送クロックのいずれについても位相変調すれば、より確実に画素間での表示輝度の差を低減でき、更に均一な表示を行うことが可能となる。例えば、2相の転送クロックの場合、同一の補正信号に基づいて作成した位相変調転送クロックを上記2相のうちの一方の転送クロックとし、他方のクロックとして上記位相変調転送クロックを極性反転した信号を用いることができる。

【0176】更に、この発明において、一水平駆動期間又は一垂直駆動期間内で電圧レベルの変化する補正信号を用いて転送クロックの位相変調を行うか或いは位相変調しないかを切り替える切り替え手段を設けることにより、表示装置に様々な周波数の画像を表示する場合、周波数がある程度高く、輝度ムラが発生する場合にのみ補正を行わせることが可能となる。よって、過補正を防止することができる。

【0177】また、表示画像の周波数に応じて、切り替え手段が上記補正信号の振幅を切り替えることとした場合にも、過補正を防止しつつ、必要な場合には確実に輝度ムラを防ぐための補正を実行することができる。

【0178】また、表示画像の周波数を判別する周波数弁別手段を設け、この判別結果に基づいて上記切り替え手段を制御すれば、入力表示画像が不定であっても、これに適した補正を自動的に実行することが可能となる。

【0179】更に、この発明では、列方向に並ぶ各画素に対して表示画像信号を供給するための複数のデータラインを選択するスイッチ手段の動作期間を、シフトレジスタの転送クロックに応じて制御する。従って、簡単にかつ確実にデータライン毎に画素に供給する表示画像信

号の電圧レベルを制御でき、このような手法により、画面上で水平方向における表示輝度のムラをなくすることができる。

【0180】さらにまた、この発明では、行方向に並ぶ各画素を選択して表示画像信号を書き込むための走査信号がそれぞれ印加される複数の走査ラインに印加する走査信号を、シフトレジスタから転送クロックに従って出力される信号とする。従って、各走査ラインに接続された各画素への表示画像信号の書き込み期間を制御して、各走査ライン毎に画素に書き込まれる表示画像信号の電圧レベルを制御でき、垂直方向における表示輝度のムラをなくすることができる。

#### 【図面の簡単な説明】

- 【図1】 実施の形態1の構成を示すブロック図である。  
 【図2】 実施の形態1に係る水平補正信号発生回路160の構成を示すブロック図である。  
 【図3】 実施の形態1に係るXCLK位相変調回路170の構成を示すブロック図である。  
 【図4】 実施の形態1の水平補正信号発生回路160の動作を示す波形図である。  
 【図5】 実施の形態1の動作を示すタイミング図である。  
 【図6】 実施の形態1の別の動作タイミングを示す図である。  
 【図7】 実施の形態2の構成を示すブロック図である。  
 【図8】 実施の形態3の構成を示すブロック図である。  
 【図9】 実施の形態3のXCLK位相変調回路172の構成を示すブロック図である。  
 【図10】 実施の形態3の動作を示すタイミング図である。  
 【図11】 実施の形態4のXCLK位相変調回路174の構成を示すブロック図である。  
 【図12】 実施の形態5の構成を示すブロック図である。  
 【図13】 実施の形態5の水平補正信号発生回路162の構成を示すブロック図である。  
 【図14】 実施の形態6の水平補正信号発生回路16

4の構成を示すブロック図である。

【図15】 実施の形態7の構成を示すブロック図である。

【図16】 実施の形態7の周波数弁別回路200の構成を示すブロック図である。

【図17】 実施の形態7の周波数弁別回路200の動作を示すタイミング図である。

【図18】 従来の液晶表示装置の駆動回路の構成を示すブロック図である。

【図19】 XSTP発生回路20の構成を示すブロック図である。

【図20】 反転駆動回路40の構成を示すブロック図である。

【図21】 サンプリングパルス発生回路100の構成を示すブロック図である。

【図22】 サンプルホールド回路110A~110Dの構成を示すブロック図である。

【図23】 ラッチ回路120A~120Dの構成を示すブロック図である。

【図24】 YSTP発生回路140の構成を示すブロック図である。

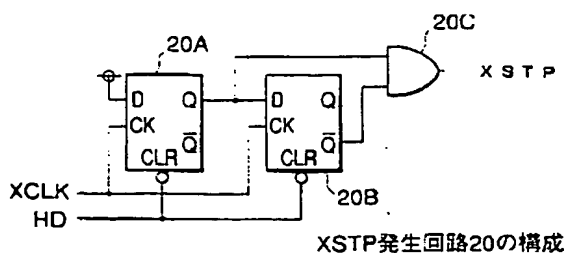
【図25】 従来の動作を示すタイミング図である。

【図26】 反転駆動回路40の動作を示す波形図である。

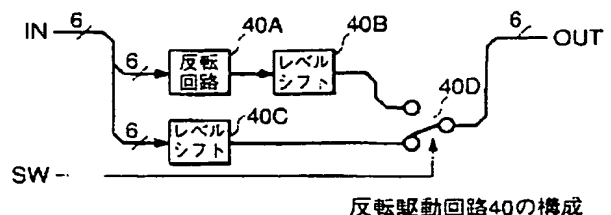
#### 【符号の説明】

10 XCLK発生回路、20 XSTP発生回路、20A、20B DFF、20C アンド回路、30 水平シフトレジスタ、40 反転駆動回路、40A 反転回路、40B、40C レベルシフト回路、50、60、80 2分周回路、100 サンプリングパルス発生回路、110A、110B、110C、110D サンプルホールド回路、120A、120B、120C、120Dラッチ回路、130A、130B、130C、130D D/Aコンバータ、140 YSTP発生回路、150 垂直シフトレジスタ、160、162、164 水平補正信号発生回路、170、172、174 XCLK位相変調回路、180 垂直補正信号発生回路、190 YCLK位相変調回路、200 周波数弁別回路。

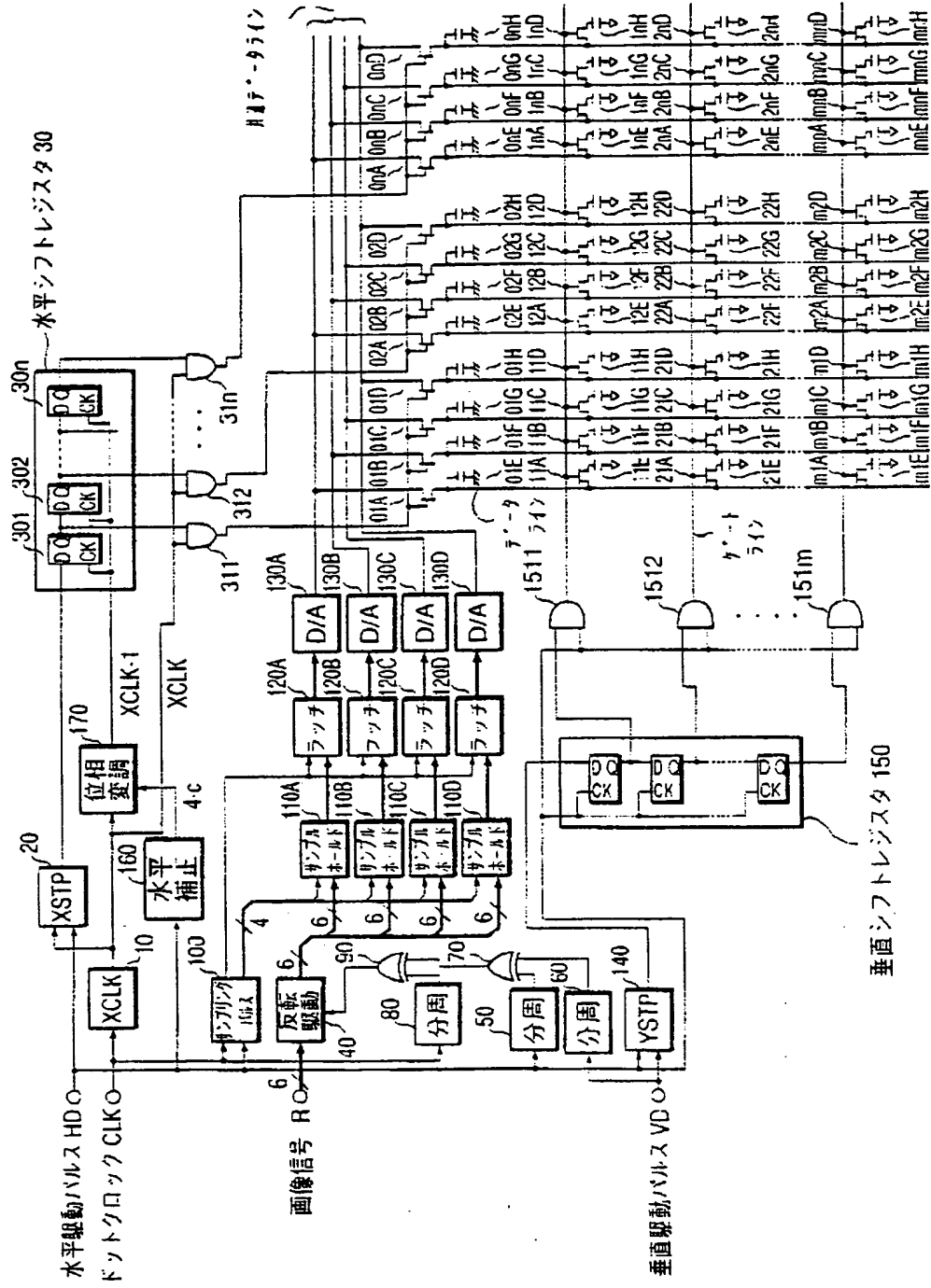
【図19】



【図20】

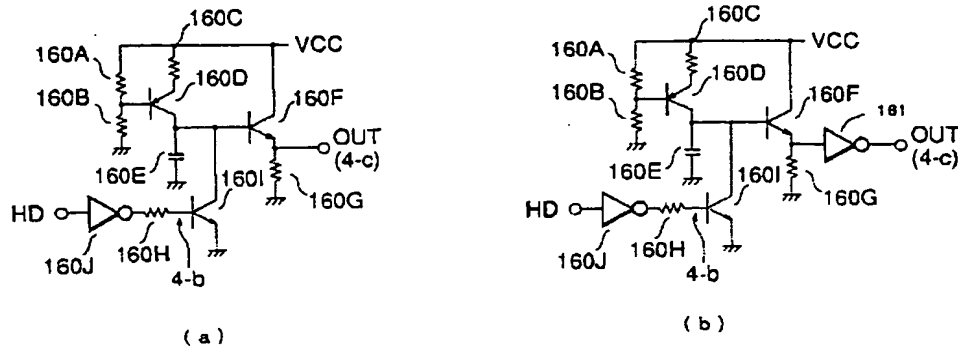


【図1】



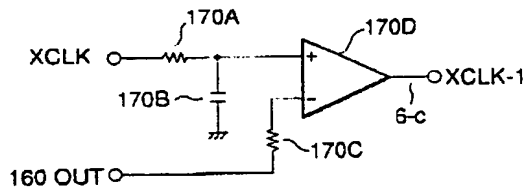
実施の形態 1

【図2】



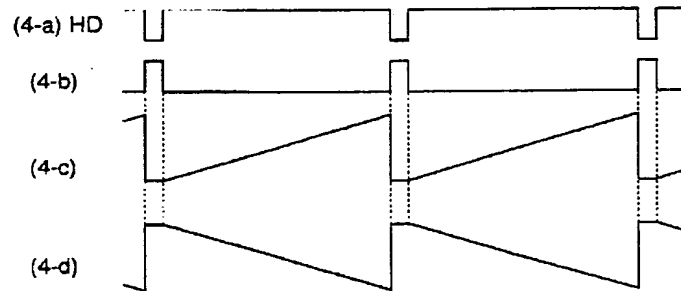
水平補正信号発生回路180の構成

【図3】

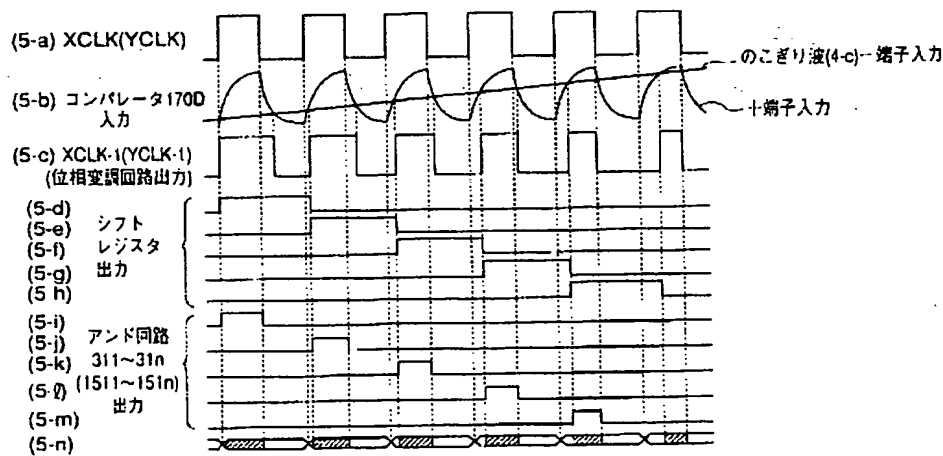


XCLK位相変調回路170の構成

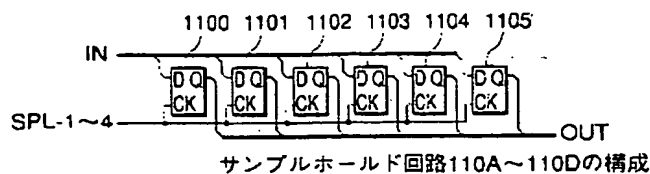
【図4】



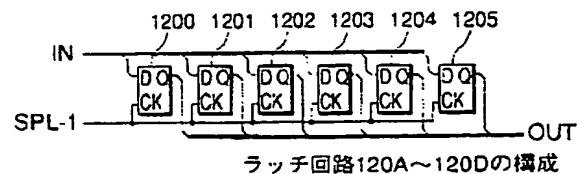
【図5】



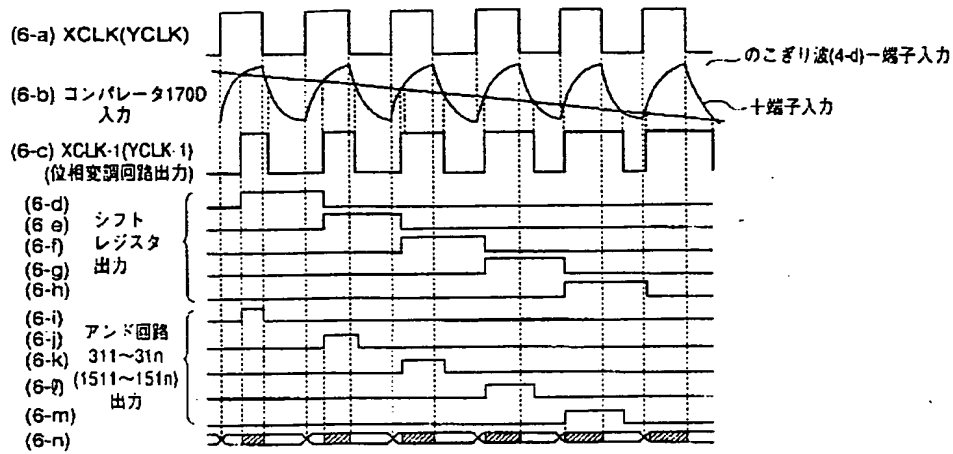
【図22】



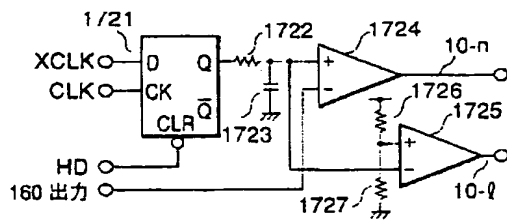
【図23】



【図6】

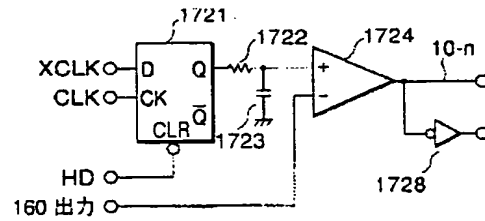


【図9】



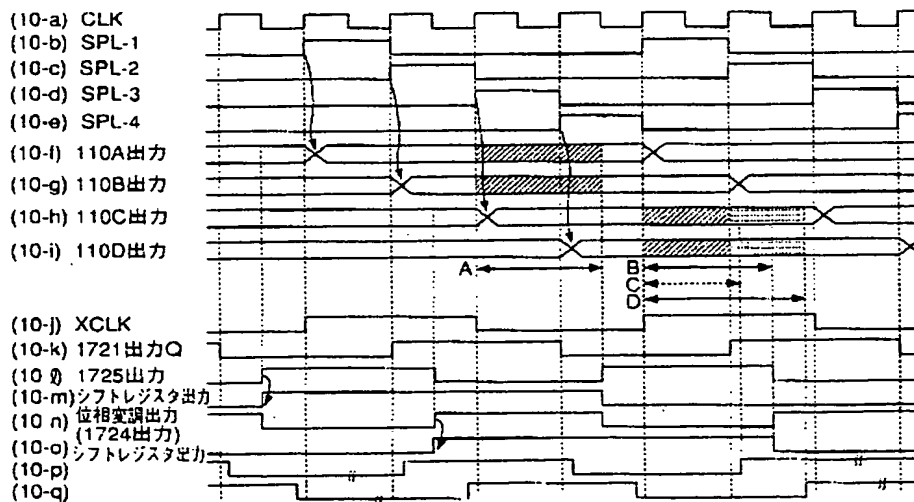
XCLK位相変調回路172の構成

【図11】



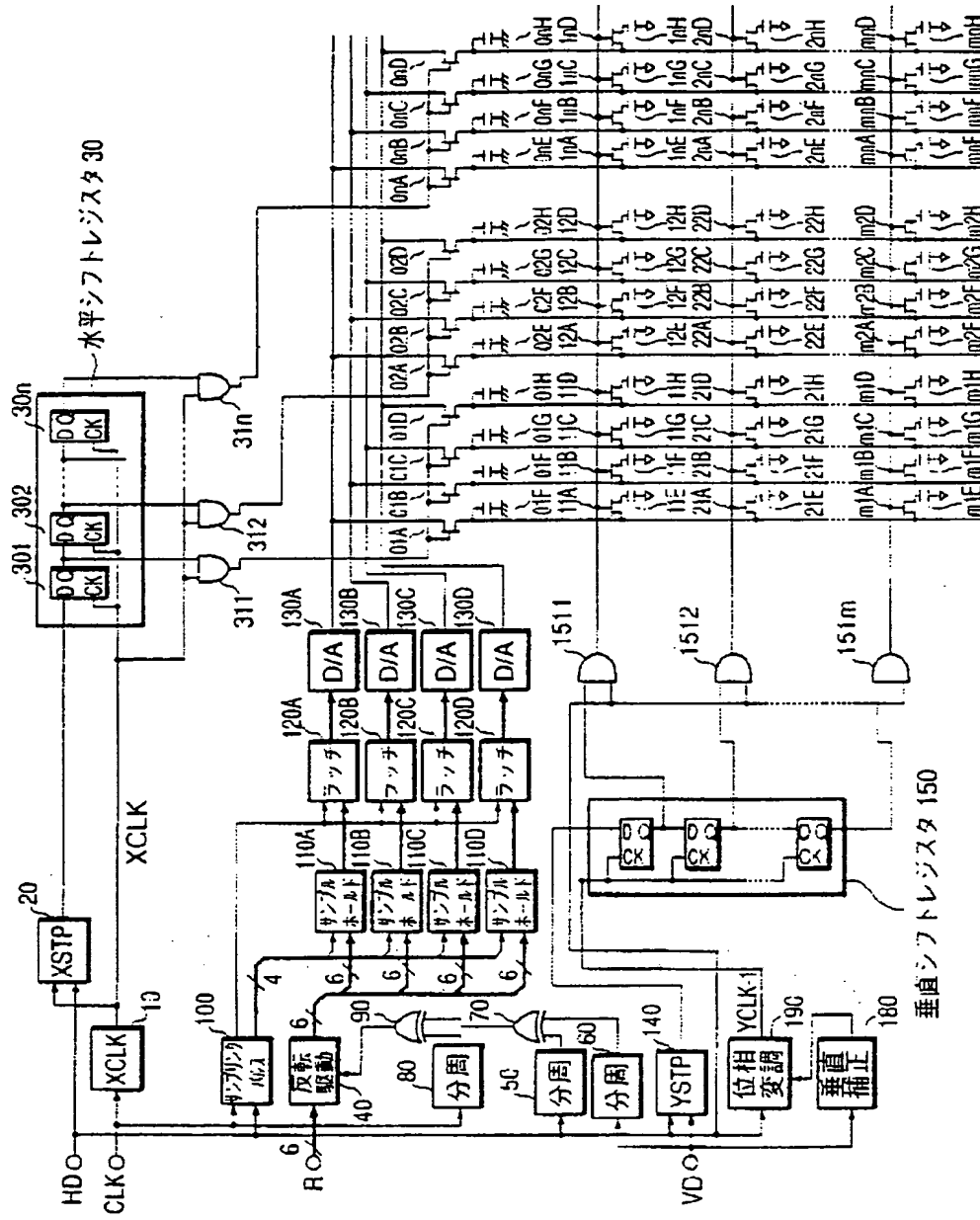
実施の形態 4

【図10】

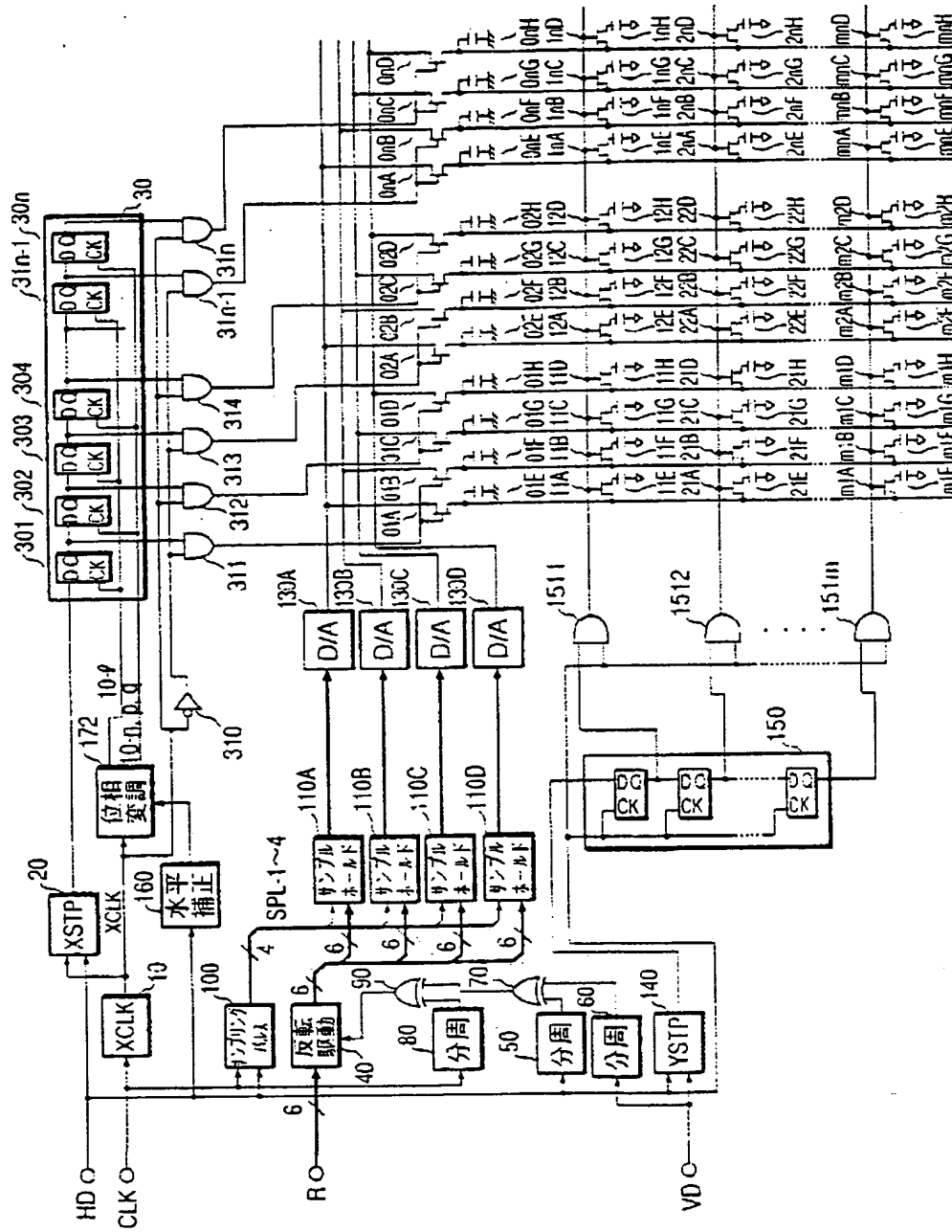




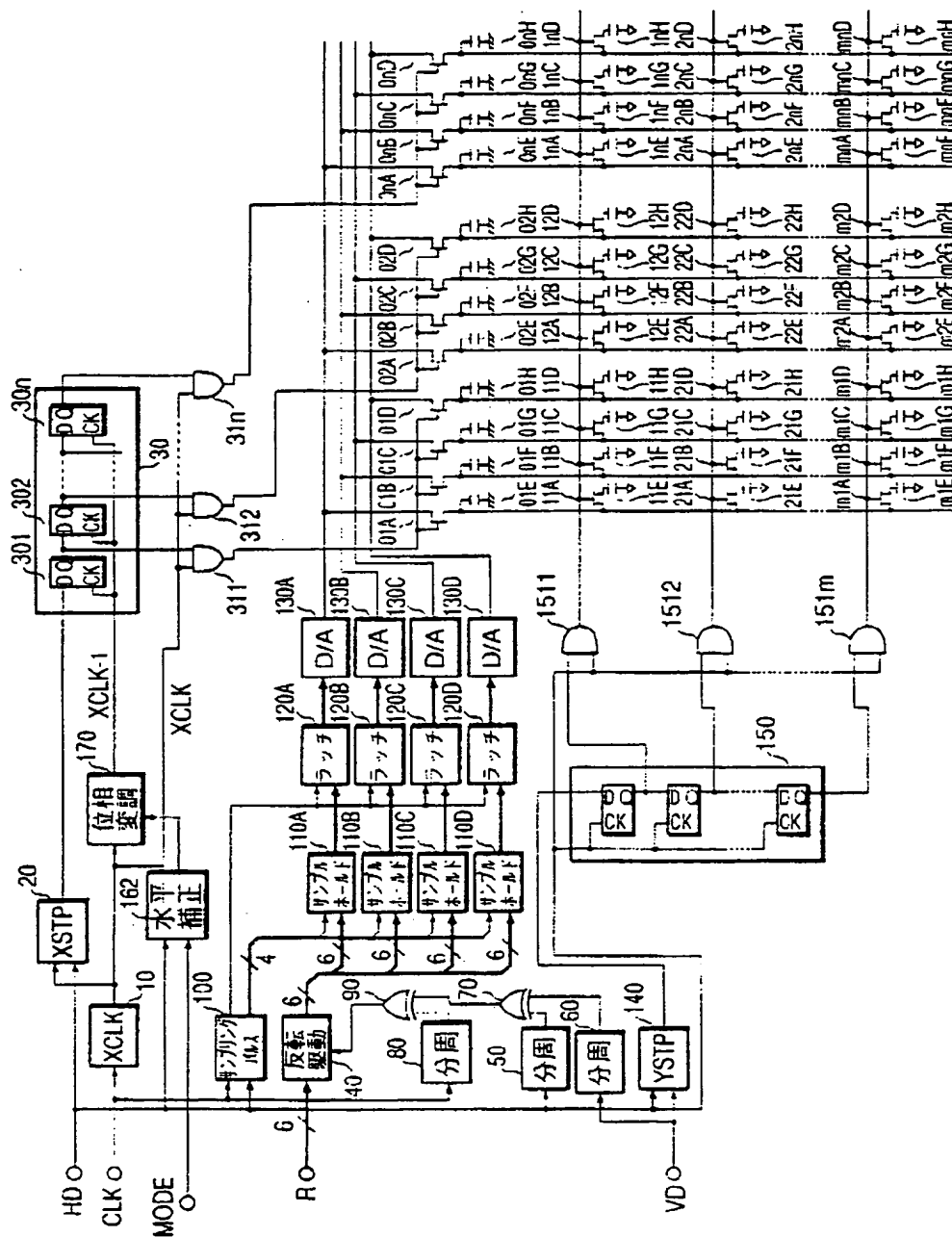
## 実施の形態 2



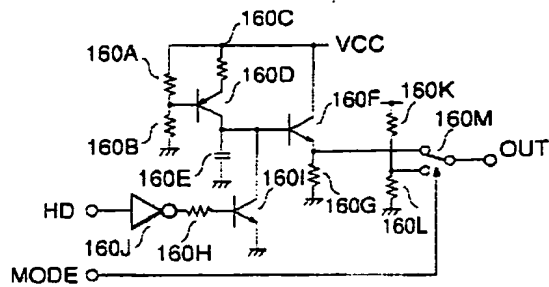
### 実施の形態 3



## 実施の形態 5



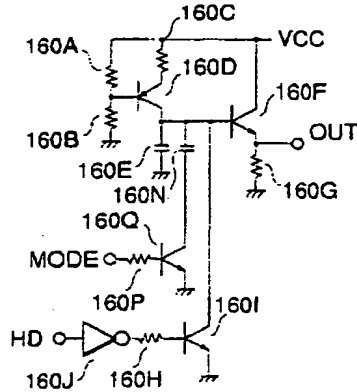
【図13】



水平同期信号発生回路162の構成

実施の形態5

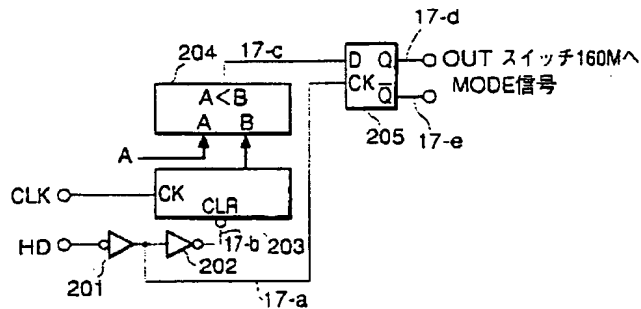
【図14】



水平同期信号発生回路164の構成

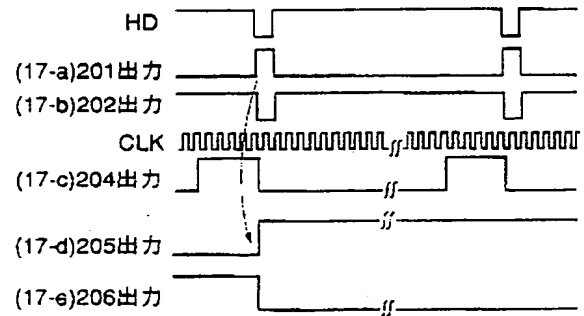
実施の形態6

【図16】

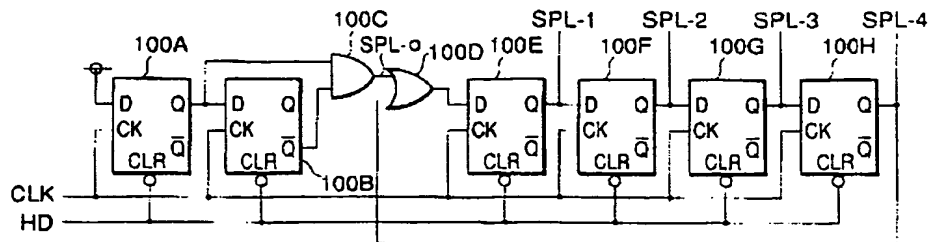


周波数弁別回路200の構成

【図17】

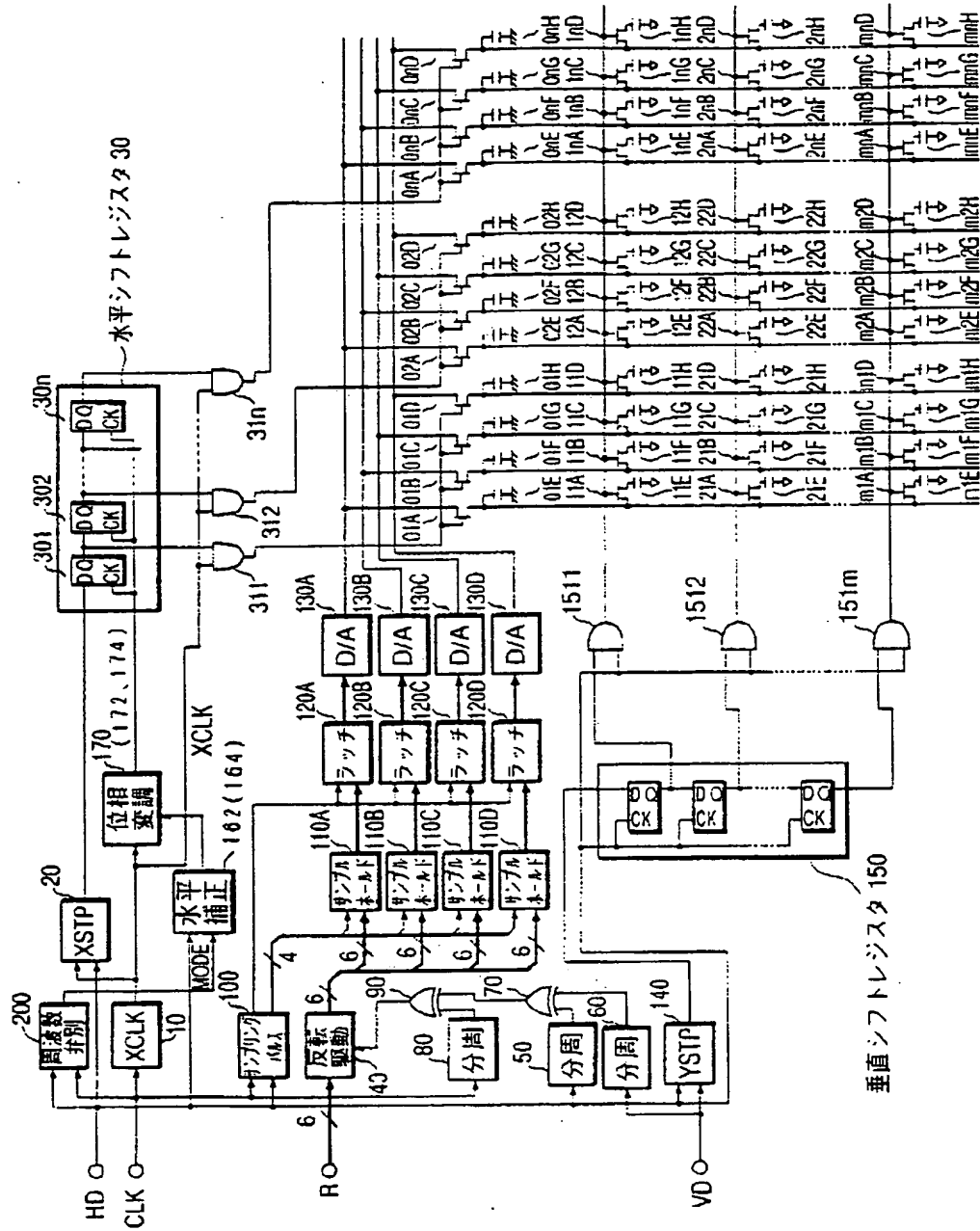


【図21】



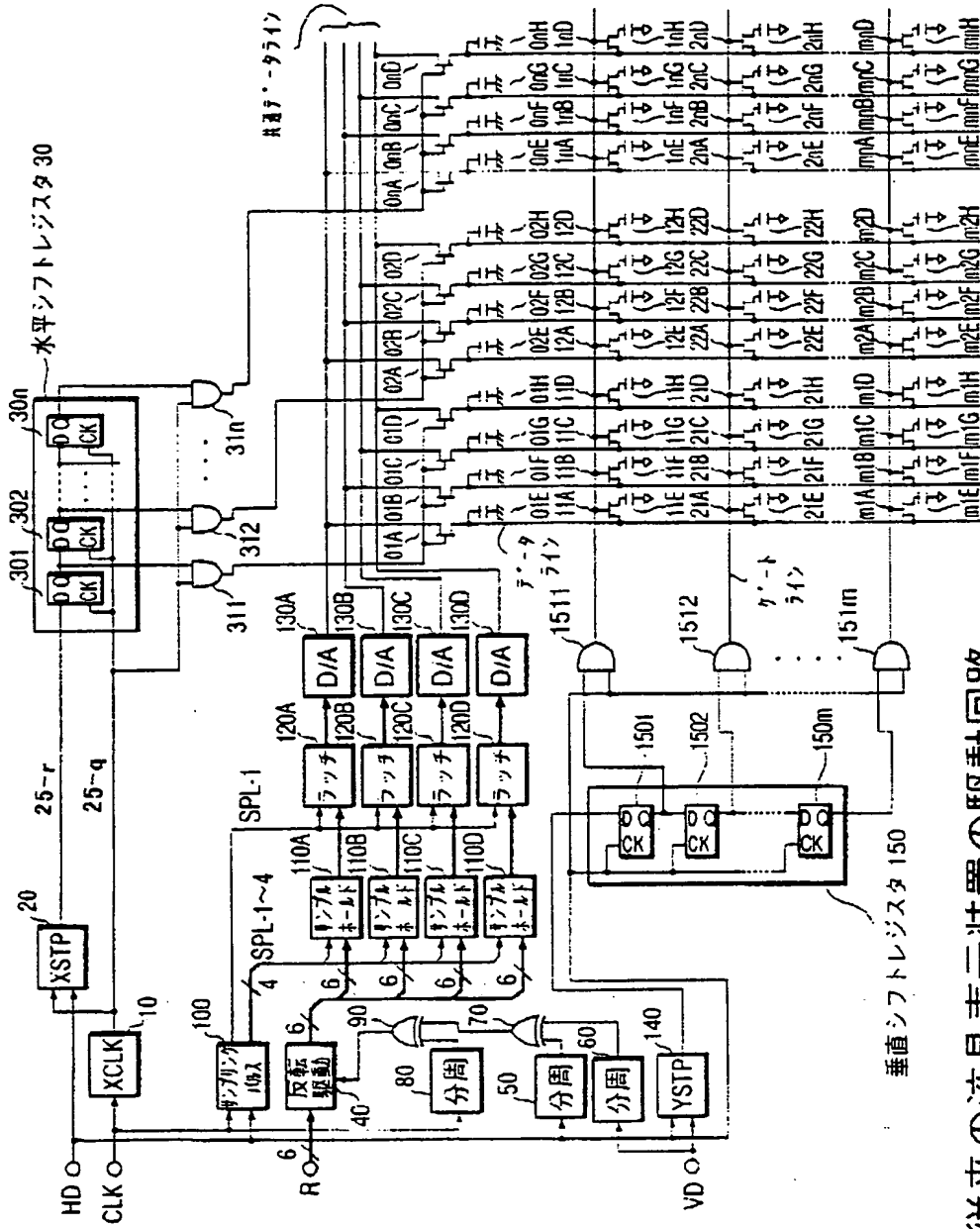
サンプリングパルス発生回路100の構成

【図15】



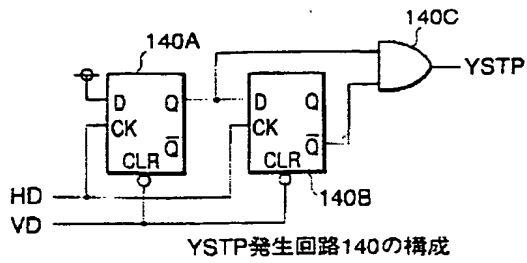
実施の形態 7

【図18】

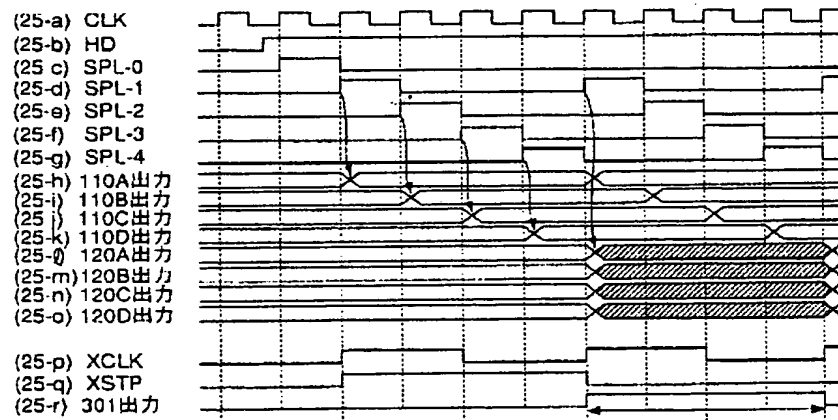


従来の液晶表示装置の駆動回路

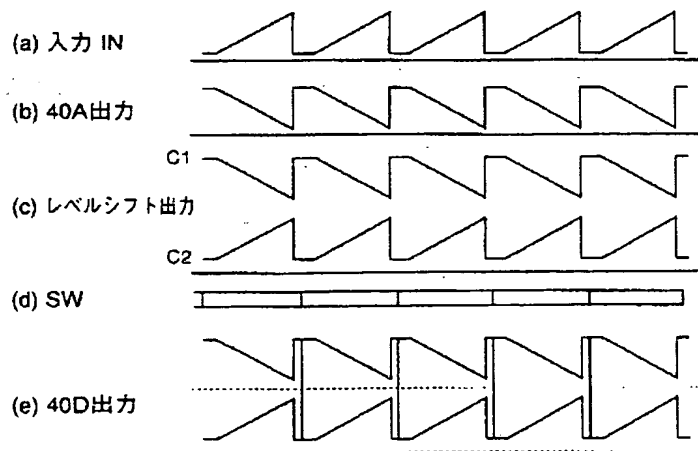
【図24】



【図25】



【図26】



**\*This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**